BAB IV

IMPLEMENTASI DAN PEMBAHASAN

4.1 Implementasi

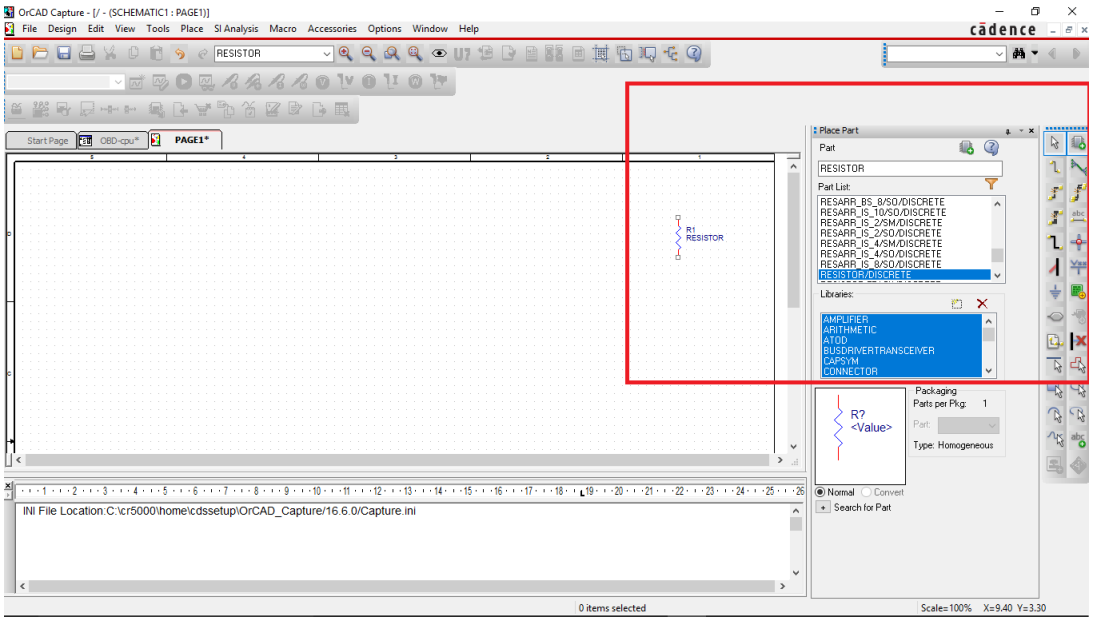
Implementasi sistem adalah tahap penerapan sistem yang akan dilakukan jika sistem disetujui termasuk program yang telah dibuat pada tahap perancangan sistem agar siap untuk dioperasikan. Implementasi sistem dalam penelitian ini adalah termasuk implementasi dari perancangan sistem desain PCB yang telah dibuat. Implementasi ini akan menggunakan perangkat lunak atau software Cadence OrCAD untuk merangkai skematik dan Allegro untuk mengerjakan layout desain PCB.

4.1.1 Implementasi *tools* pada OrCAD Capture

Implementasi *tools* pada OrCAD Capture merupakan realisasi dari perancangan sistem yang sebelumnnya dibuat yaitu menggambar skematik dengan menggunakan perangkat OrCAD Capture.

Berikut tahapan untuk melengkapi sebuah rangkaian menjadi satu skematik:

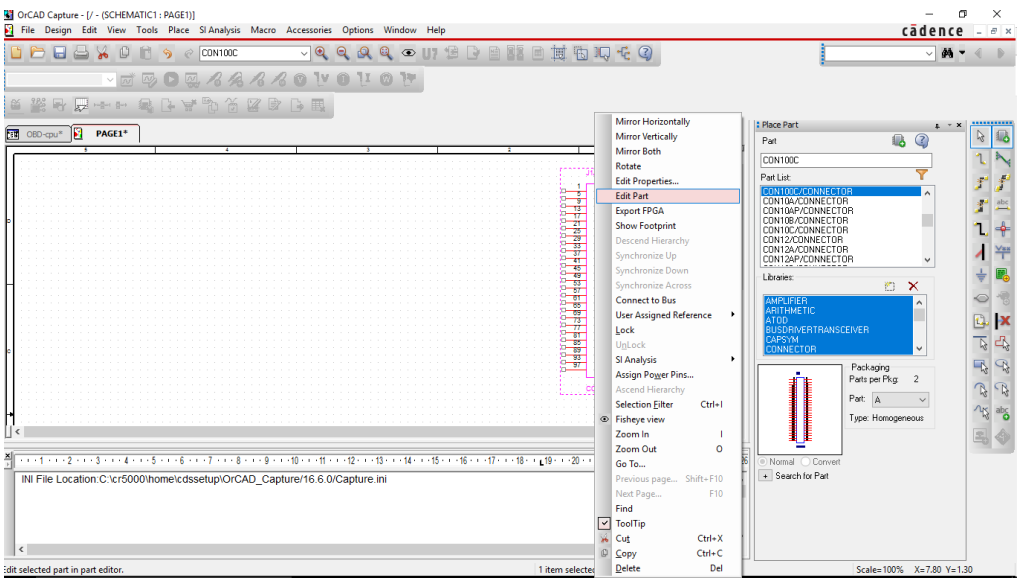
a. Menambahkan simbol komponen yang ada dalam perpustakaan.



Gambar 4. 1 Penambahan simbol komponen dari perpustakaan

Umumnya, komponen-komponen yang biasa dipakai seperti resistor, kapasitor, induktor, dan komponen biasa digunakan lainnya sudah terdapat simbol yang disediakan oleh perpustakan milik OrCAD Capture sendiri.

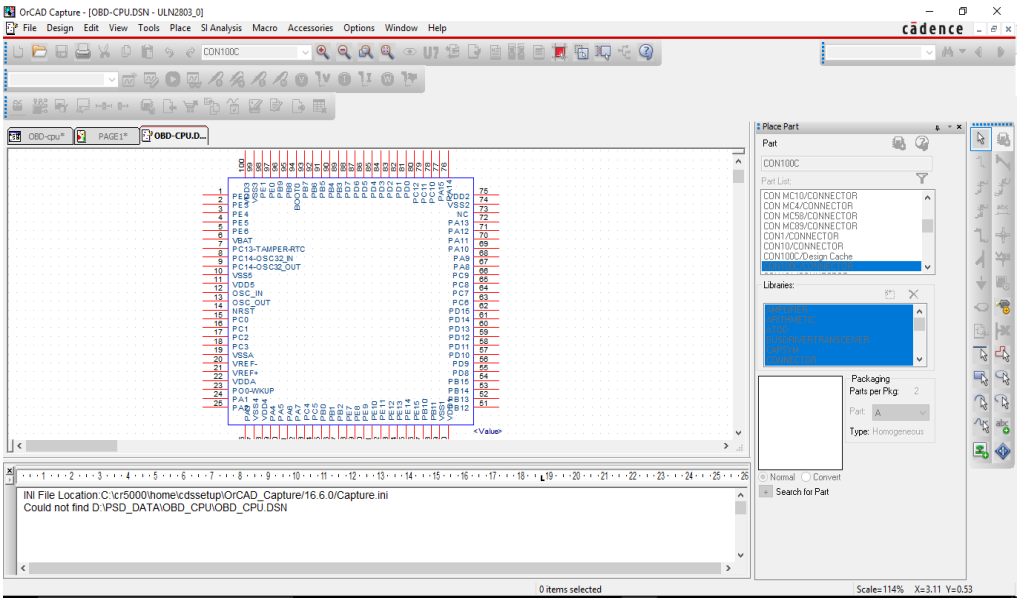
Tetapi komponen yang termasuk IC biasanya berbeda-beda pin maka dibutuhkan untuk membuat sendiri atau mengedit *part* atau bentuk fisik komponen yang sudah ada menjadi yang baru.



Gambar 4. 2 Edit part untuk IC STM32F103XC

Untuk mengedit *part* atau bentuk komponen ke dalam *part* yang diinginkan dengan cara mengklik kanan *part* tersebut dan memilih “Edit Part”. Karena lebih mudah dan cepat dengan mengedit daripada membuat yang baru. Lalu akan diarahkan kepada *workplace* atau lembaran kerja untuk pengeditan *part*.

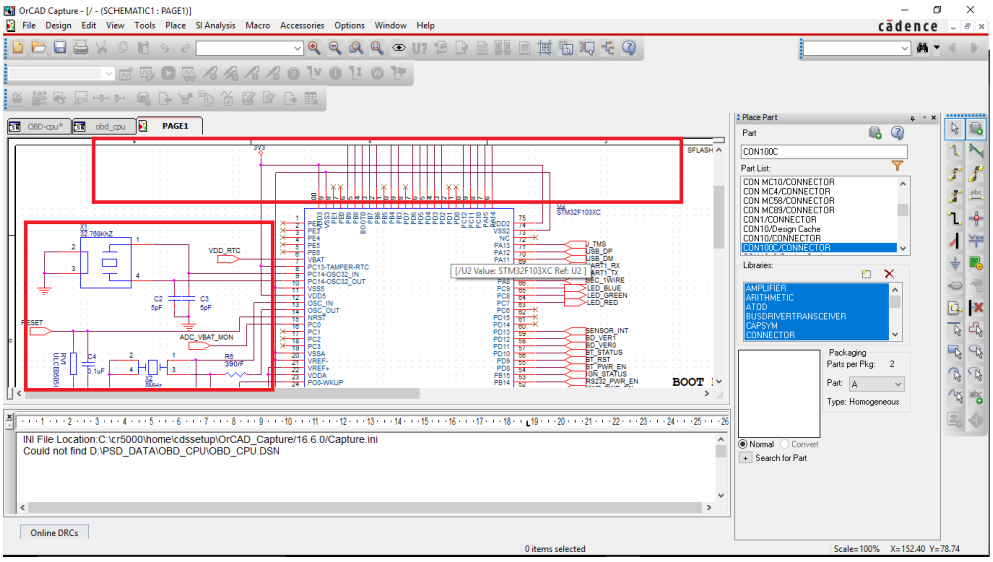
Jendela edit *part* akan diarahkan kepada penggambaran 2D Line dan pengaturan penampilan referensi dan pin, juga nama *value* atau nilai.



Gambar 4. 3 Bentuk part atau simbol untuk IC STM32F103XC

b. Menyambungkan kaki komponen satu ke komponen lainnya dengan *wiring*.

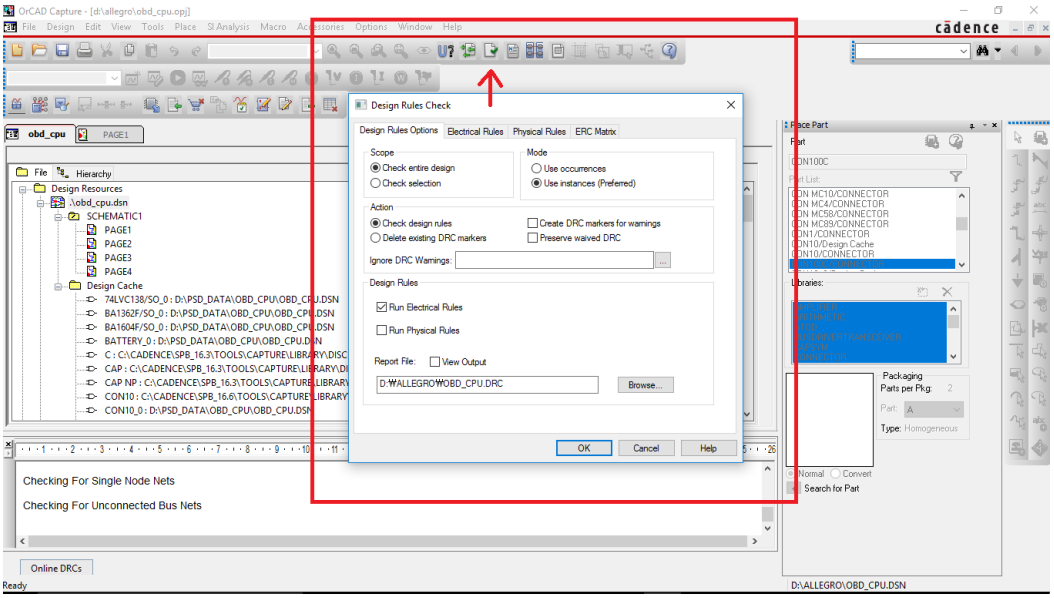
Proses ini diperlukan karena agar tersambungnya menjadi sebuah rangkaian skematik dan nantinya akan menjadi sebuat net. Berguna untuk menyambungkan kaki komponen dalam proses *layouting* atau proses pendesainan di dalam *layout*.



Gambar 4. 4 Wiring pada skematik

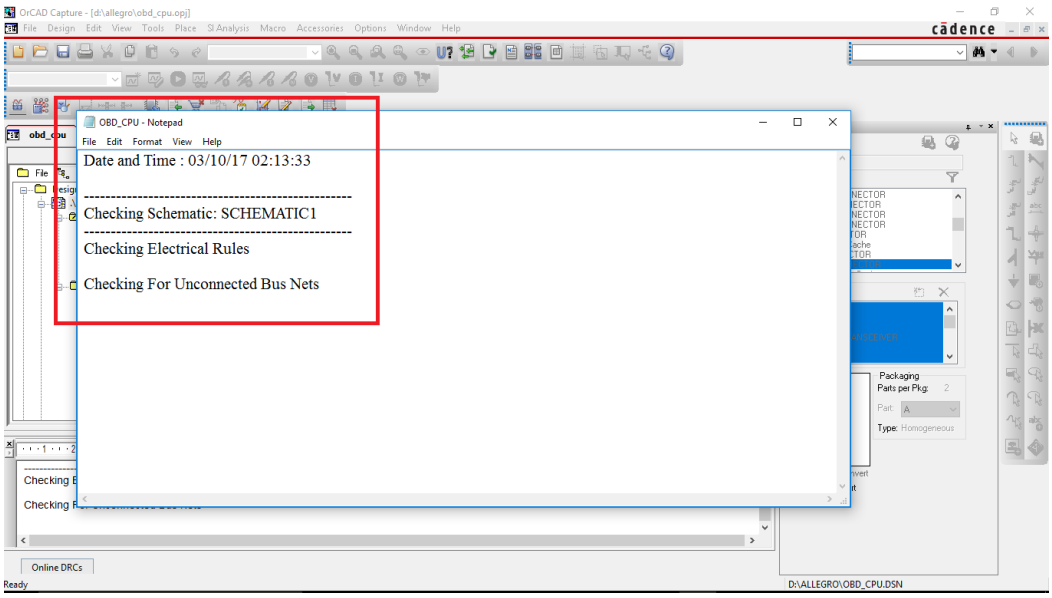
c. Desaign Rules Check pada skematik

Merupakan pengecekan *error* atau kesalahan pada skematik



Gambar 4. 5 DRC tools

Untuk mengetahui tidak ada error yang terjadi pada rangkaian yang telah dibuat maka terdapat informasi dari pengecekan DRC yaitu tidak ada sama sekali error atau kesalahan dalam menggambar skematik.



Gambar 4. 6 Dokumen pengecekan DRC pada skematik, tidak ada error

Pada gambar tersebut disebutkan *electrical rules* dan *unconnected bus nets*. Jika tidak ada rincian error maka dua hal tersebut sudah tidak ada kesalahan. maka proses DRC selesai.

- *Electrical Rules*

  Merupakan sebuah aturan elektronik yang sudah tercantum dalam aturan umum dan tidak bisa dirubah karena termsuk ke dalam aturan fisik elektronik. Sehingga dalam hal ini, informasi pengecekan *electrical rules* ini akan mengecek simbol komponen dengan nama pin, kaki pin komponen.

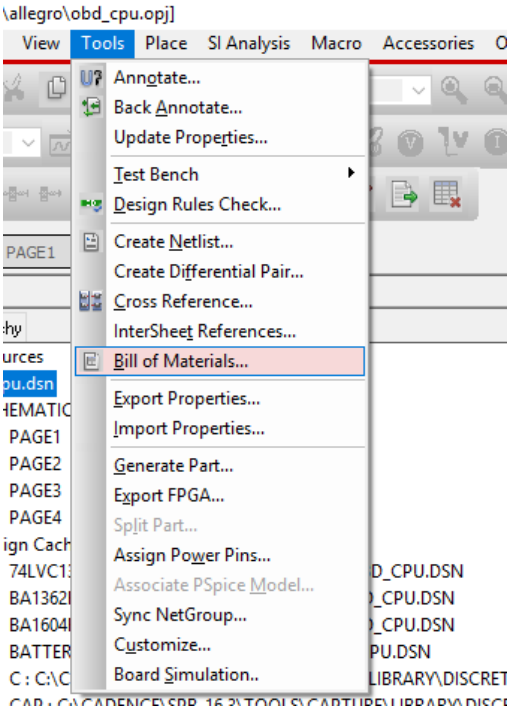
- *Unconnected bus nets*

  Pengecekan net termasuk pengecekan wiring yang belum tersambung atau nets yang tidak tersambung kemana-mana.

d. BOM (Bill Of Material)

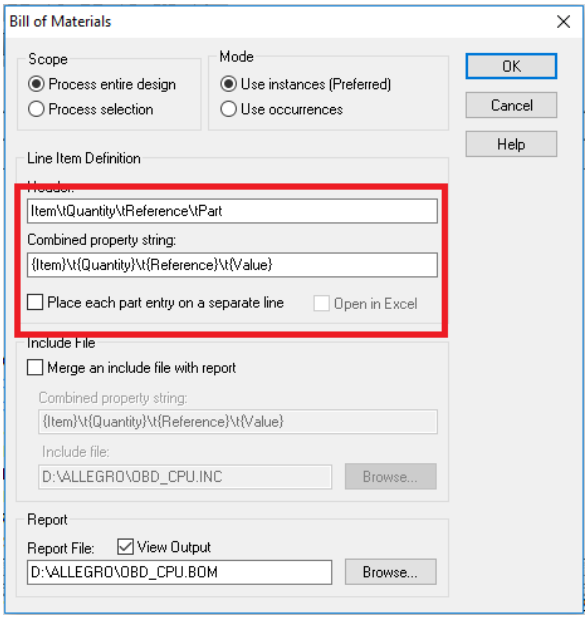
Digunakan sebagai sebuah dokumen yang nantinya akan berisikan data-data nama, jumlah, dan part komponen yang kemudian berguna untuk suatu mengetahui

apa saja komponen yang dibutuhkan dengan *footprint* atau bentuk fisik komponen yang cocok.



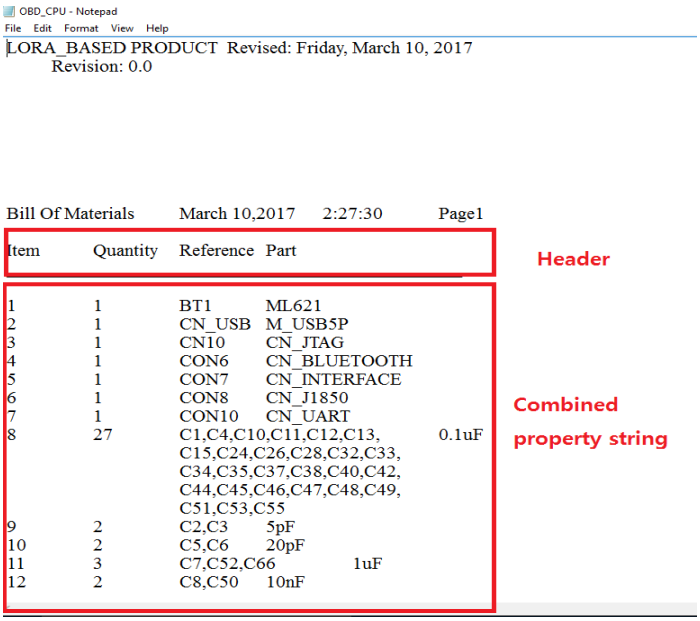
Gambar 4. 7 Perintah untuk BOM

Dengan membuka *Tools* pada menu *toolbar* dan memilih Bill of Material untuk memulai proses pengumpulan data komponen-komponen.



Gambar 4. 8 Format file untuk BOM

Format tersebut yang akan ditampilkan dalam file Bill Of Material, bisa ditambahkan bisa pula dikurangi tergantung format yang ingin ditampilkan.


OBD_CPU - Notepad
File Edit Format View Help
LORA_BASED PRODUCT Revised: Friday, March 10, 2017
Revision: 0.0

Bill Of Materials March 10,2017 2:27:30 Page1

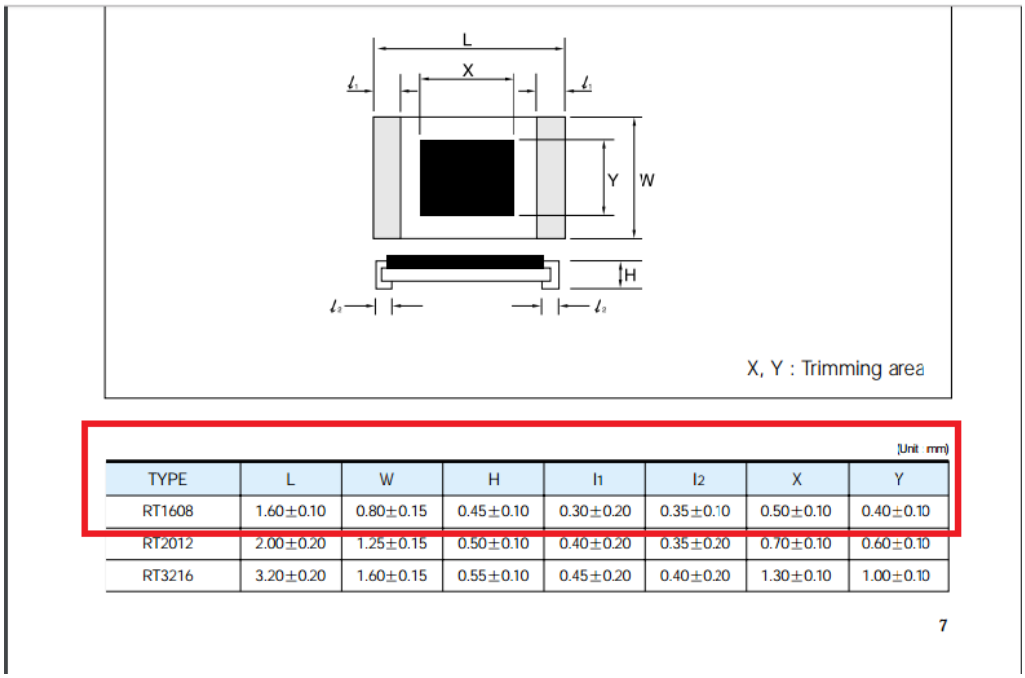
Item	Quantity	Reference	Part	
1	1	BT1	ML621	
2	1	CN_USB	M_USB5P	
3	1	CN10	CN_JTAG	
4	1	CON6	CN_BLUETOOTH	
5	1	CON7	CN_INTERFACE	
6	1	CON8	CN_J1850	
7	1	CON10	CN_UART	
8	27	C1,C4,C10,C11,C12,C13, C15,C24,C26,C28,C32,C33, C34,C35,C37,C38,C40,C42, C44,C45,C46,C47,C48,C49, C51,C53,C55		0.1uF
9	2	C2,C3	5pF	
10	2	C5,C6	20pF	
11	3	C7,C52,C66		1uF
12	2	C8,C50	10nF	

Gambar 4. 9 Data dari BOM yang dihasilkan

4.1.2 Implementasi *footprint* pada Allegro PCB Editor

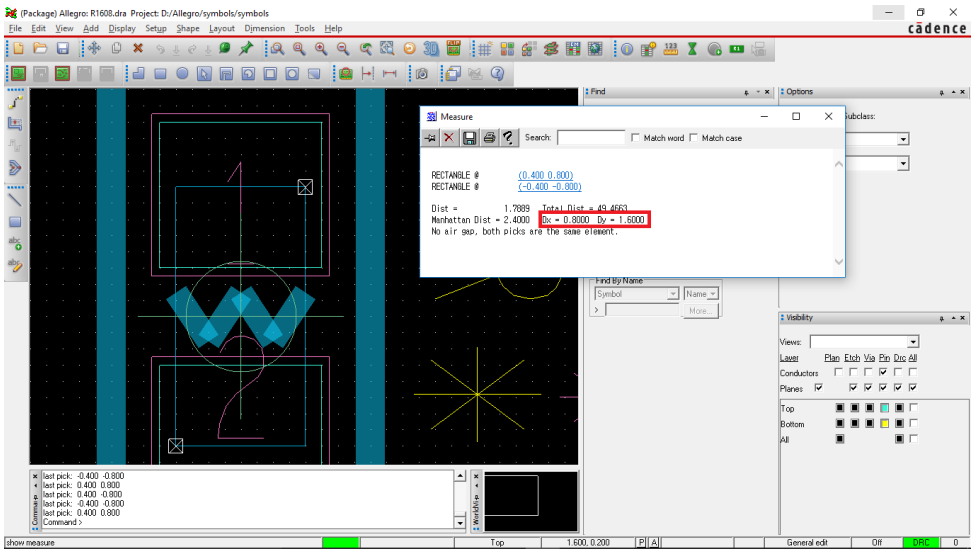
Pada tahap ini dibutuhkan *datasheet* yang sesuai dengan komponen yang dibutuhkan. Biasanya jika jenis komponen yang sering gunakan seperti resistor, kapasitor dan komponen yang biasa digunakan lainnya mempunya *package* yang sudah disediakan. Hanya saja harus diperhatikan ukuran dari pad dan diharuskan teliti dalam memahami sebuah nama dan jenis komponen.

Selain untuk proses *Artwork* atau memulai desain *layout* PCB, PCB Editor juga berfungsi untuk mengedit atau bisa membuat *footprint*.



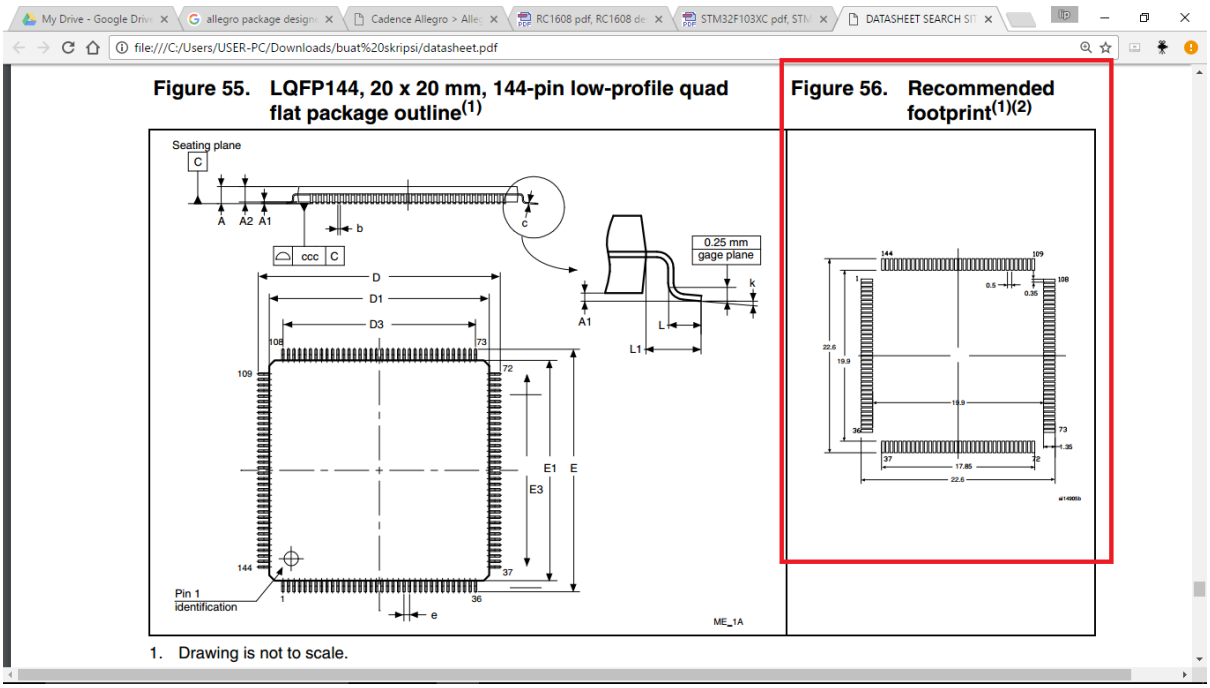
Gambar 4. 10 Ukuran datasheet untuk resistor 1608

Untuk resistor, kapasitor, induktor, diode dan ukuran smd lainnya bermodel, biasanya sudah tersedia dalam perpustakaan bawaan dengan hanya melihat model komponen tersebut misalnya: R1608 berarti resistor yang berukuran 1.6mm tinggi untuk tinggi dan 0.8mm untuk lebar. C2012 berarti kapasitor untuk ukuran 2.0mm tinggi dan 1.2mm lebar. Begitupun L untuk induktor, D utntuk diode.



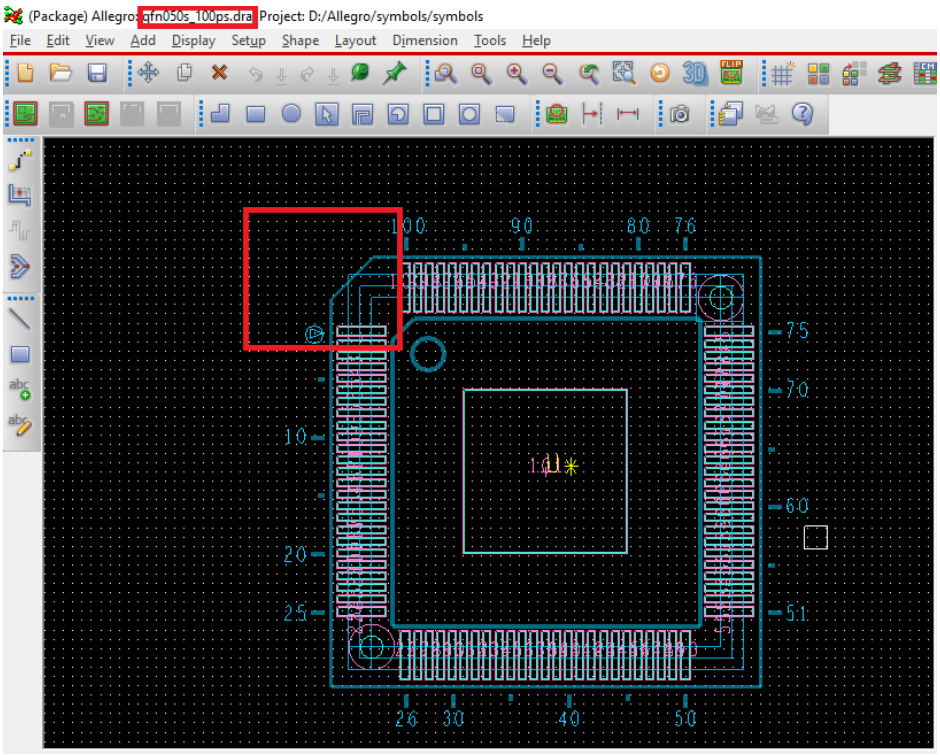
Gambar 4. 11 Footprint R1608 dalam PCB Editor

Untuk komponen yang belum ada sama sekali dan terlihat asing atau tidak umum maka diharuskan melihat *datasheet* terlebih dahulu lalu memulai menggambar *footprint* dengan melihat rekomendasi *land pattern*, atau rekomendasi *footprint*, atau terkadang rekomendasi *package* yang terdapat dalam *datasheet*.



Gambar 4. 12 Rekomendasi footprint datasheet IC STM32F103XC

Untuk penulisan aturan package adalah dengan memilai jenis dari IC tersebut dengan menyertakan *pitch* antar pad tersebut dan penulisan pin yang telah dibuat.



Gambar 4. 13 Footprint IC STM32F103XC

Penulisan IC tersebut adalah QFN050s_100ps. Berarti IC tersebut berjenis QFN *package* komponen dengan jarak antara pad 0.50 mm dan mempunyai 100 pin.

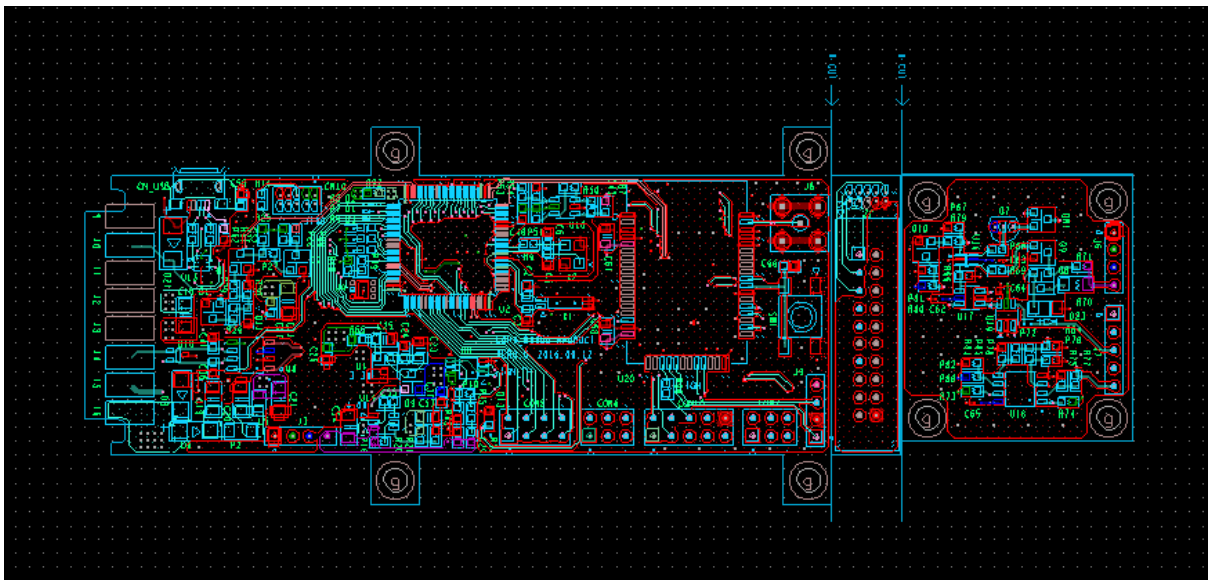
Tipe-tipe IC *package*:

1. 1 Arah: Komponen yang masa jenisnya dapat naik walaupun menjadi profil yang tinggi sebagai pengelompokkan dalam lead vertikal dalam sebuah *line boundary* sebuah komponen. Yang termasuk kedalam tipe ini adalah: SIP, SSIP, HSIP, ZIP,SZIP
2. 2 Arah: Secara luas digunakan oleh tipikal item *surface mounting*. SOP membuat intercal *lead* setengahnya dari DIP, termasuk lead untuk *surface mounting* ke dalam external *Gull Wing. Lead* pin bisa lebih memanjang sampai keluar dari 4 arah dari *package* yang disebut QFP, SSOP, TSOP, dibangun dengan sebuah derivasi dari SOP. Nama lain dari SOP adalah SOIC, dan lebar badan yang lalu lebih panjang daripada setelahnya.

3. 4 Arah: Bentuk luaran adalah bentuk lingkaran, dan *Gull-wing lead* meonjol dari 4 border lain. Bahannya tertutup dengan *package* keramik. Yang termasuk kedalam tipe IC 4 arah ini diantaranya: QFP, TQFP, STQFP, FQFP, HQFP, LQFW, VQFW, MQFW, QFJ, QFN, TQFN, LCC, CLCC, DFN, QFI, QTP.
4. Matrix: Tipe ini termasuk tipe yang berbentuk matrik yang sisi satu dengan sisi lainnya mempunyai ukuran yang sama atau yang biasa disebut bidang persegi sama sisi. Yang termasuk ke dalam komponen ini adalah IC dengan bentuk PGA, SPGA, BGA, EBGA, FTBGA, TFBGA, LGA.

4.1.3 Implementasi desain layout pada Allegro PCB Editor

Pada implementasi ini adalah tahap yang paling penting. Dimana dalam proses ini adalah proses penempatan komponen, *routing* dan *copper*. Dalam proses ini sering banyak kesalahan dikarenakan ketidaktahuaan dan ketidaktelitian dalam mendesain PCB. Karena proses ini adalah proses inti dari sebuah desain PCB yang kemudian akan dilanjutkan kepada proses produksi jika tidak ada *error* sama sekali pada *layout* yang sudah di desain. Maka diperlukannya ilmu dalam mendesain, mengetahui aturan-aturan dalam mendesain, mengetahui aturan penempatan komponen, dan peraturan desain yang lainnya.



Gambar 4. 14 Gambar Desain Layou PCB model OBD Processor

4.2 Analisis Desain Layout PCB

Pada bagian ini akan dianalisis desain layout PCB pada model OBD CPU atau OBD *Processor* yang biasa diaplikasikan menjadi *processor* dalam kendaraaan. *Processor* ini dapat mendiagnosis sistem pada kendaraan. Sistem ini memberikan laporan mengenai status kendaraan kepada pemilik atau teknisi serta berbagai status sub-sistem pada kendaraan tersebut. OBD CPU ini adalah termasuk ke dalam digital PCB karena *proscessor* ini tidak memerlukan power yang besar dan mempunyai masukan tegangan DC.

4.2.1 Placement dan layout block IC Regulator

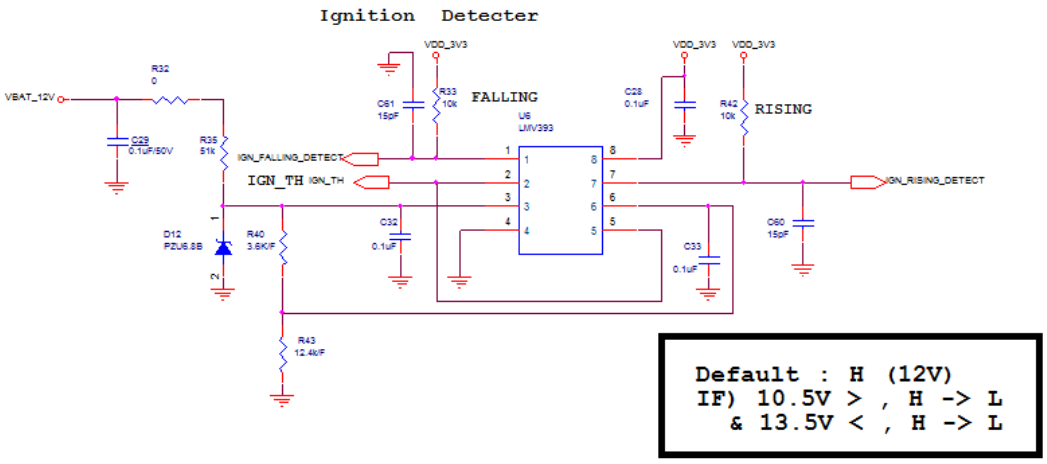
(a) IC LMV393

LMV393 dan LMV339 merupakan tegangan rendah (2.7 sampai dengan 5 V) versi dari dual dan *quad* komparator, LMV39/339 dengan spesifikasi dari 5 sampai 30 V. LMV393 tersedia dengan 8-pin SOIC dan *package* dari VSSOP.

Tabel 4. 1 Informasi device dari LMV393-N, LMV311-N, LMV339-N

PART NUMBER	PACKAGE	BODY SIZE (NOM)
LMV331-N	SC70 (5)	2.00 mm × 1.25 mm
	SOT-23 (5)	2.90 mm × 1.6 mm
LMV339-N	SOIC (14)	8.65 mm × 3.91 mm
	TSSOP (14)	5.00 mm × 4.40 mm
LMV393-N	SOIC (8)	4.90 mm × 3.91 mm
	VSSOP (8)	3.00 mm × 3.00 mm

Tabel informasi *device* di atas berguna untuk kode pencarian pada *library* atau perpustakaan yang sudah tersedia atau untuk kode penamaan komponen jika komponen tidak ada dalam *library*.



Gambar 4. 15 LMV393 dalam skematik sebagai regulator

Dalam skematik tersebut diperlihatkan bahwa IC ini di lengkapi dengan kapasitor dan resistor menandakan bahwa IC tersebut merupakan regulator dalam skematik OBD CPU.

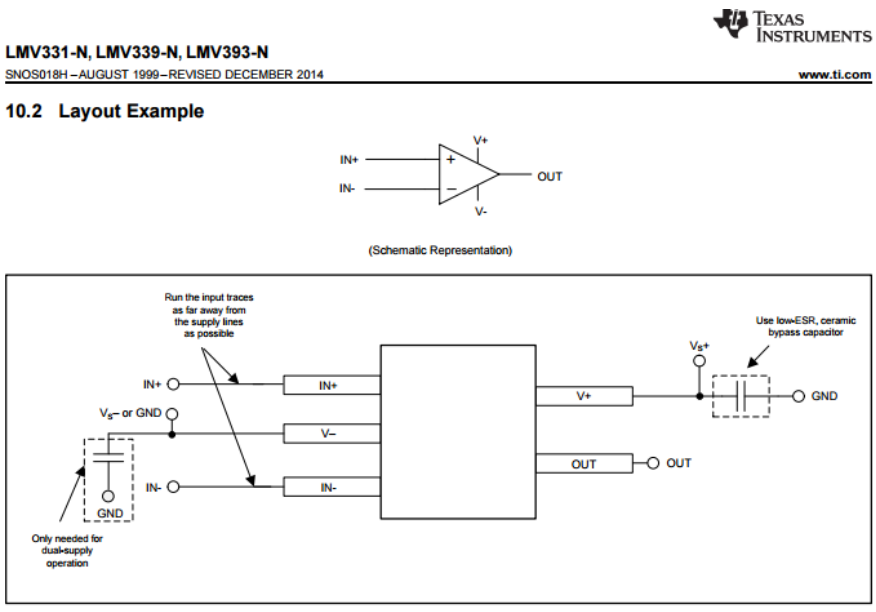


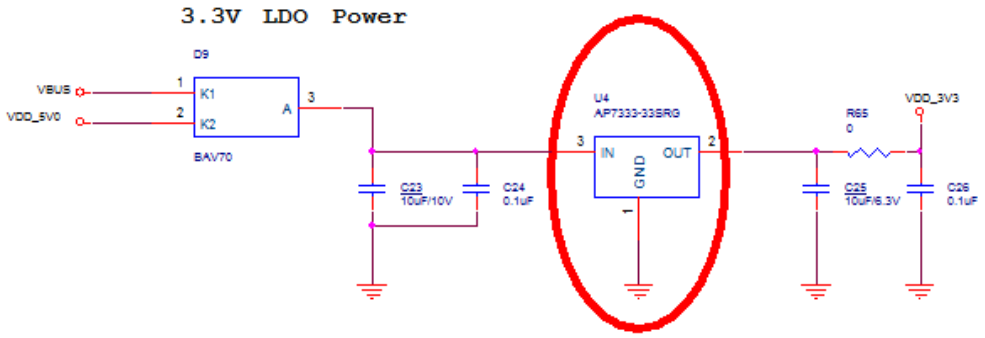
Figure 27. Comparator Board Layout

Gambar 4. 16 LM393 rekomendasi layout dari datasheet

Karena IC tersebut merupakan regulator, biasanya sudah disediakan *layout recommended* dalam *datasheet* komponen regulator termasuk komponen LM393-N. Dari gambar diatas maka dalam desain *layout* semestinya mengikuti yang sudah tertera dalam *datasheet.*

(b) IC AP7333-33SRG

AP7333 adalah sebuah arus 300mA, tengangan keluaran fix, tegangan rendah *dropout* linear. Perangkat termasuk *pass element*, kesalahan penguatan, *band-gap*, batas arus limit. AP7333 tersedia dengan SOT23 *package* dengan pin keluaran yang berbeda-beda.



Gambar 4. 17 Skematik rangkaian blok IC AP7333-33SRG

(c) IC TPS562200

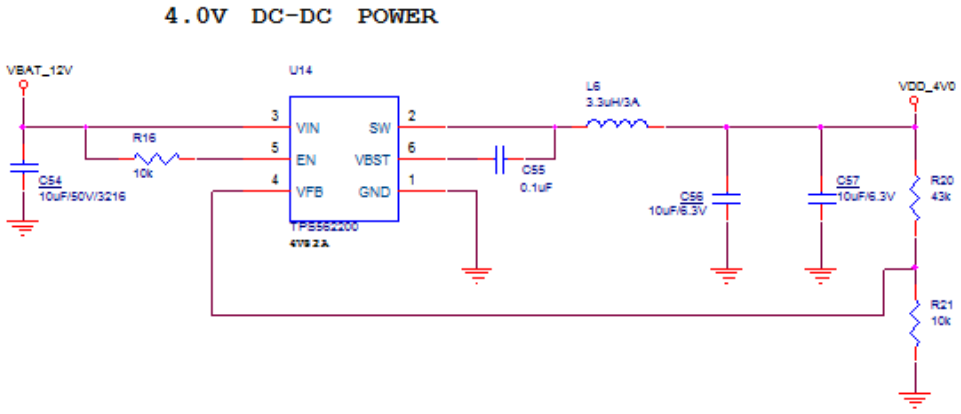
TPS562200 dan TPS563200 mudah untuk digunakan, 2 A dan 3 A *synchronous step-down converter* dalam 6 pin SOT-23 *package*. Perangkat ini dioptimalkan dengan minimum eksternal jumlah komponen dan juga dioptimalkan untuk meraih arus dalam keadaan *low-standby* atau keadaan dimana saat akan menuju rendah.

Tabel 4. 2 Informasi perangkat dari TPS562200 dan TPS563200

Device Information(1)

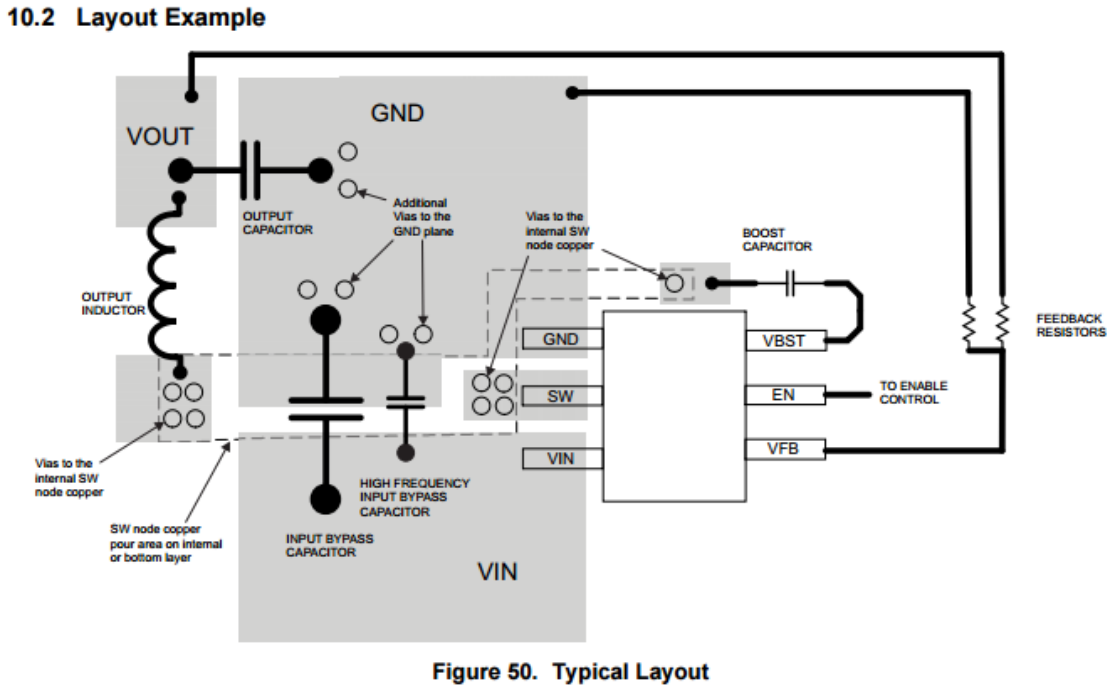
PART NUMBER	PACKAGE	BODY SIZE (NOM)
TPS562200	SOT (6)	1.60mm x 2.90mm
TPS563200		

(1) For all available packages, see the orderable addendum at the end of the datasheet.



Gambar 4. 18 Blok rangkaian dari TPS562200

Rangkaian tersebut merupakan rangkaian masukan tegangan DC untuk menjadi power 4 Volt. Yang semestinya terdapat kapasitor untuk menguatkan tegangan dan resistor untuk mengurangi *noise* atau gangguaan yang akan di buang ke ground.

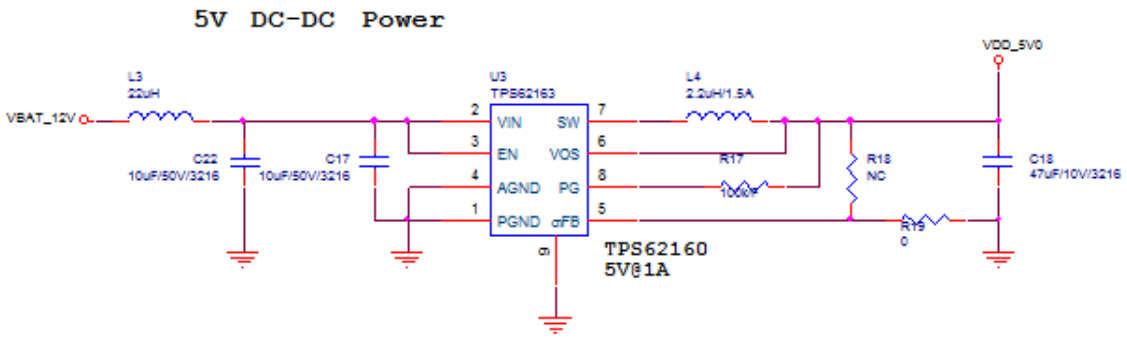


Gambar 4. 19 Contoh layout dari datasheet komponen

Seperti halnya dalam skematik IC tegangan masukan pin akan terhubung dengan kapasitor dan dibuang langsung ke dalam *ground*. Maka tegangan output yang terhubung dengan kapasitor dan induktor dan tersambung dalam pin SW dari IC.

(d) TPS62163

Keluarga dari TPS6216X adalah mudah untuk digunakan *synchronous step down* DC-DC *converter* yang dioptimalkan untuk pengaplikasian dengan massa jenis tegangan tinggi. *High-switching* frekuensi dari tipikal 2.2 MHz mengikuti penggunaan dari induktor kecil dan pengembangan cepat respon *transient* selama keluaran tengangan tinggi akurasi pemanfaatan dari topologi DCS-Control.



Gambar 4. 20 Rangkaian skematik dari TPS62163

Seperti blok dari bagian tegangan regulator lainnya, komponen IC ini juga tersambung dengan kapasitor, resistor dan induktor. Selalu ada *ground* untuk membuang *noise* dari IC.

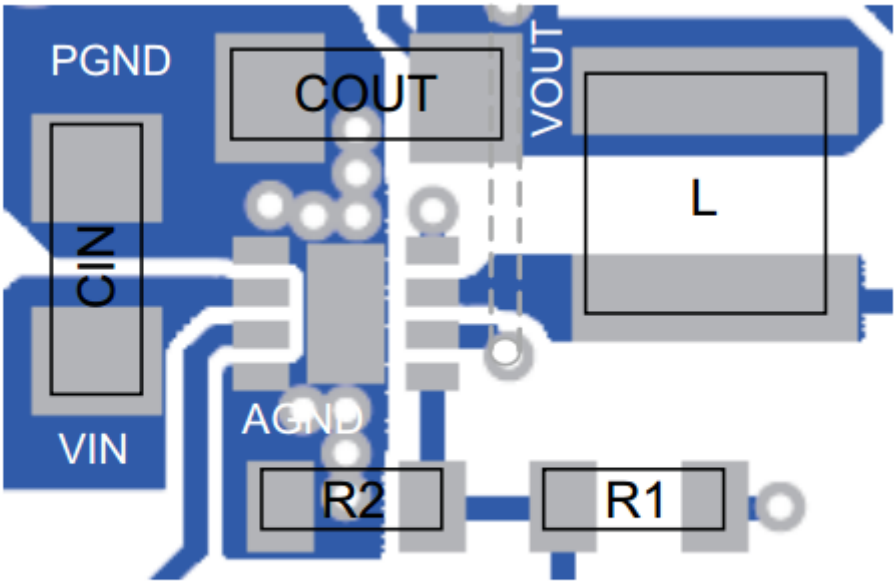


Figure 33. Layout Example

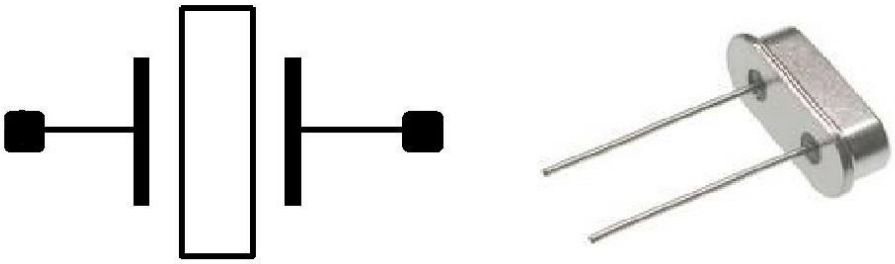
Gambar 4. 21 Contoh rekomendasi layout dari datasheet

4.2.2. Desain Layout

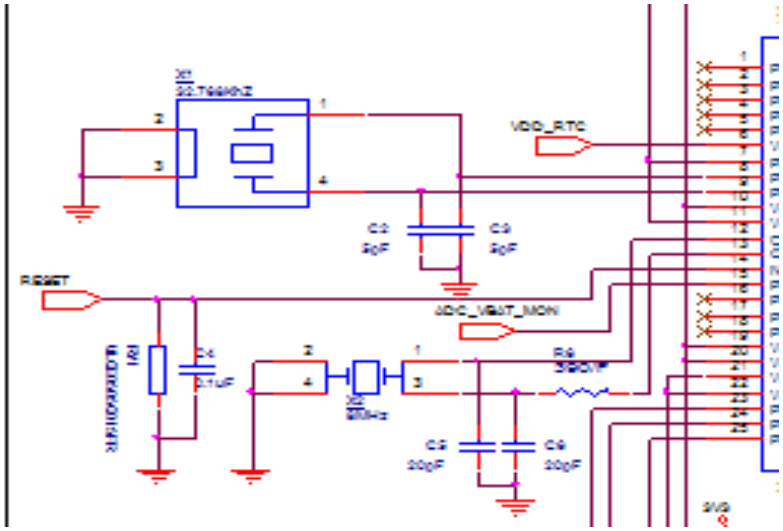
(a) Desain layout pada komponen XTAL

XTAL merupakan komponen yang berfungsi untuk membangkitkan frekuensi osilasi dengan stabilitas yang sangat tinggi. Frekuensi osilasi didapat dari egerk piezoelektrik. Kristal memiliki dua kaki, yang digunakan pada IC mikrokontroller maka kedua kaki pin dikoneksikan dengan XTAL1 dan XTAL2. Kelebihan dari komponen ini adalah detaknya yang relatif stabil tetapi kelemahannya adalah rangkaian menjadi sedikit rumit karena

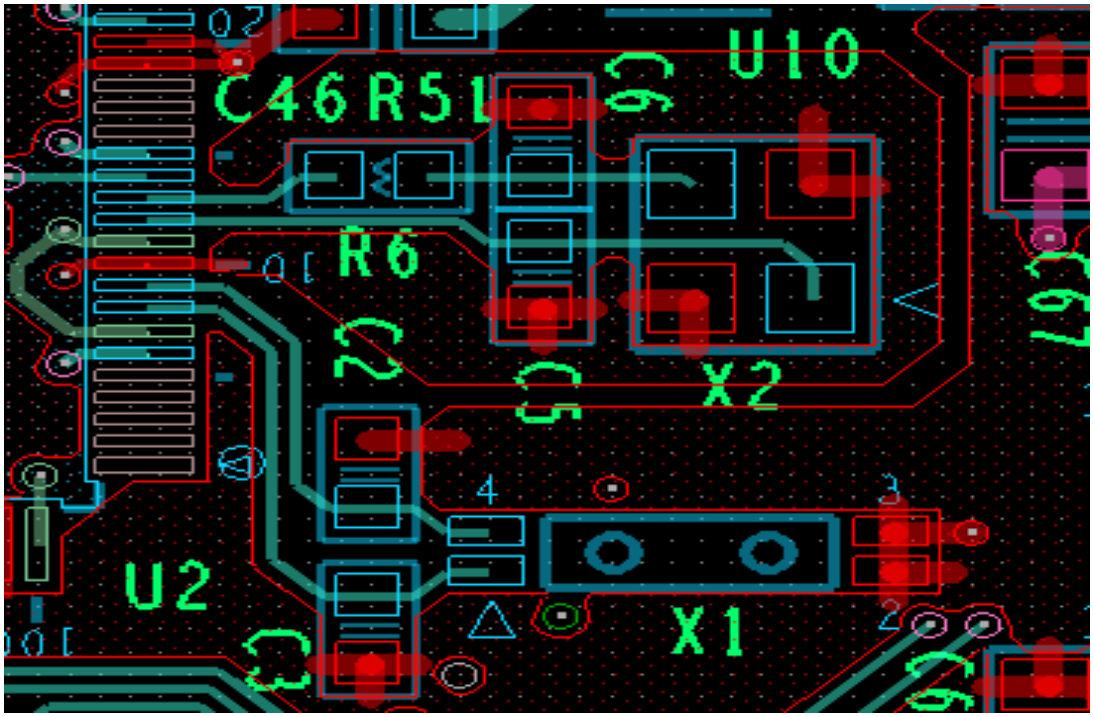
membutuhkan tambahan kapasitor untuk menstabilkan detak tang yang dihasilkan oleh kristal



Gambar 4. 22 Simbol dan komponen XTAL



Gambar 4. 23 Skematik rangkaian dari XTAL1 dan XTAL2

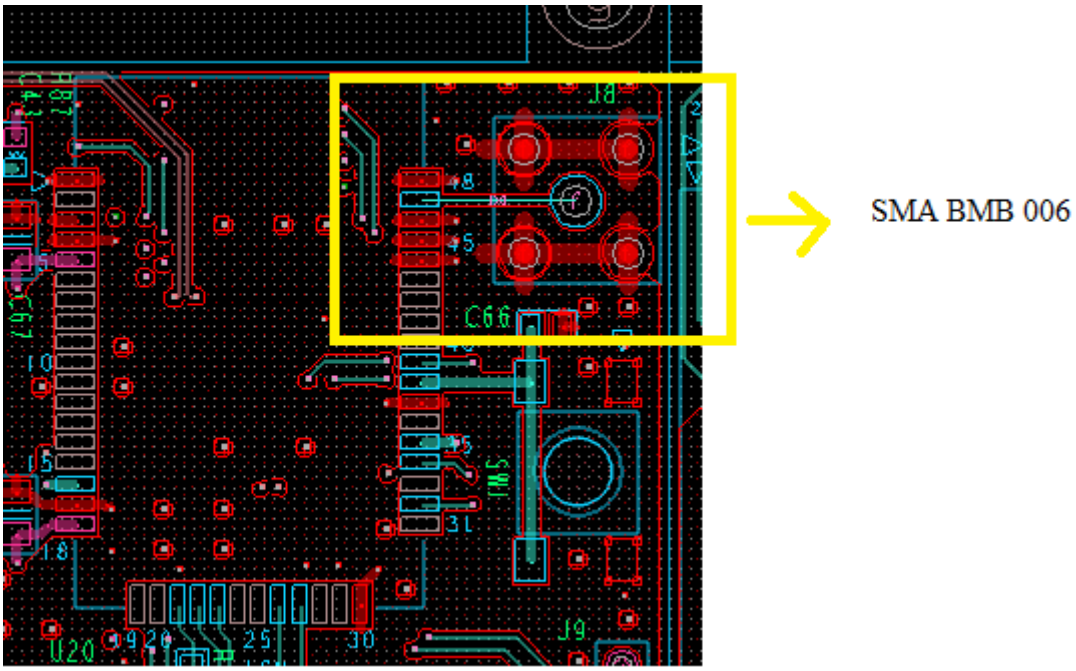


Gambar 4. 24 Desain layout pada XTAL1 dan XTAL2

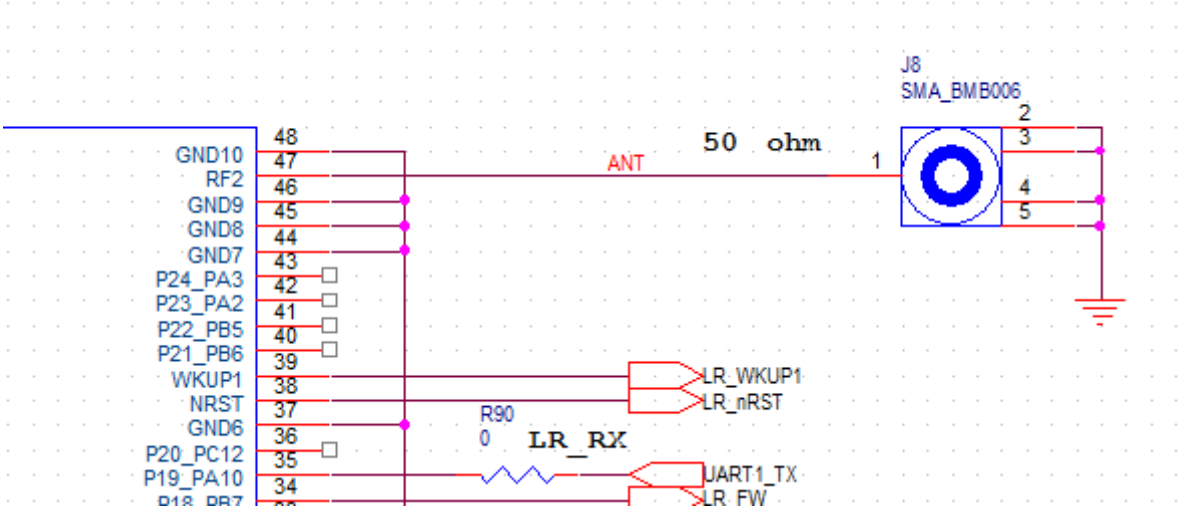
Dari IC mikrokontroller yang terhubung dengan komponen kristal maka *routing* yang diharuskan dan penempatan yang seharusnya adalah dekat dengan IC mikro dan *routing* sebisanya langsung menuju komponen kapastior yang nanti akan terhubung dengan kristal. untuk x2 atau xtal2, mempunyai *ground* sendiri karena kristal tersebut akan mempunyai *noise* yang sangat banyak. Penyebabnya adalah kristal tersebut akan menjadi frekuensi dan *clock* utama pada IC yang nantinya akan bergerak untuk menjalankan kinerja IC mikrokontroller.

Dengan begitu *layout* yang diharuskan adalah dengan memisahkan ground *kristal* tersebut dengan *ground* yang lain walaupun berbeda layer, *ground* kristal ini harus ada dan terpisah, juga tidak boleh ada komponen atau *wiring* yang melewatinya.

(c) Desain routing pada komponen SMA BMB006



Gambar 4. 25 Desain pada komponen SMA BMB006



Gambar 4. 26 Skematik dari SMA BMB 006

4.3 Design Rules Check (DRC)

Dari desain yang telah dibuat yaitu *layout* dari OBD CPU tentunya banyak sekali *error* atau kesalahan dari pengerjaan, kesalahan-kesalahan tersebut termasuk dalam kesalahan *routing*, jarak antar *wiring*, jarak antara komponen dengan *wiring* atau komponen lain, dan kesalahan desain lainnya.

Kemungkinan *error* atau kesalahan ketika pengecekan DRC pada *board* OBD CPU

Search: Match word Match case

Design Name D:/CAD/Allegro/obd_cpu_160912_final.brd
Date Wed Mar 15 08:29:05 2017

DRC Error Count Summary

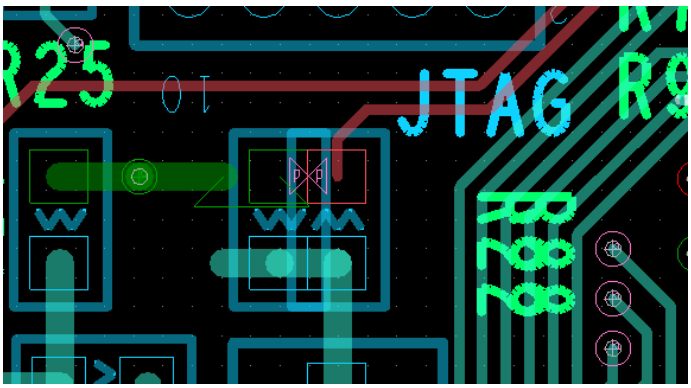
DRC Error Type	DRC Error Count
Pad to Pad	1
Etch to Pad	8
Etch to Etch	3
Physical Constraint	1
Total DRC Errors	13

Detailed DRC Errors

Constraint Name	DRC Marker Location	Required Value	Actual Value	Constraint Source	Constraint Source Type	Element 1	Element 2
SMD Pin to SMD Pin Spacing	(26.000 32.250)	0.13 MM	0 MM	DEFAULT	NET SPACING CONSTRAINTS	Pin "R22.1"	Pin "R88.2"
Line to Thru Via Spacing	(50.900 34.283)	0.2 MM	0 MM	DEFAULT	NET SPACING CONSTRAINTS	Via "Not On A Net, Via0603, (51.000 34.000)"	Vertical Line Segment "Sflash_Mosi, Etch/Top"
Line to Thru Via Spacing	(50.900 34.283)	0.2 MM	0 MM	DEFAULT	NET SPACING CONSTRAINTS	Via "Not On A Net, Via0603, (51.000 34.000)"	Vertical Line Segment "Sflash_Mosi, Etch/Int2"
Line to Thru Via Spacing	(51.500 34.000)	0.2 MM	0.1 MM	DEFAULT	NET SPACING CONSTRAINTS	Via "Not On A Net, Via0603, (51.000 34.000)"	Vertical Line Segment "Sflash_Miso, Etch/Int2"
Line to Thru Via Spacing	(51.500 33.800)	0.2 MM	0.139 MM	DEFAULT	NET SPACING CONSTRAINTS	Via "Not On A Net, Via0603, (51.000 34.000)"	Odd-angle Line Segment "Sflash_Miso, Etch/Int2"
Line to Thru Via Spacing	(51.000 33.600)	0.2 MM	0 MM	DEFAULT	NET SPACING CONSTRAINTS	Via "Not On A Net, Via0603, (51.000 34.000)"	Horizontal Line Segment "Ign_Falling_Detect, Etch/Bottom"
Line to Thru Via Spacing	(50.600 33.600)	0.2 MM	0.166 MM	DEFAULT	NET SPACING CONSTRAINTS	Via "Not On A Net, Via0603, (51.000 34.000)"	Odd-angle Line Segment "Ign_Falling_Detect, Etch/Bottom"
Shape to Thru Via Spacing	(50.969 33.702)	0.15 MM	0 MM	DEFAULT	NET SPACING CONSTRAINTS	Via "Not On A Net, Via0603, (51.000 34.000)"	Shape "Gnd, Etch/Int1"
Shape to Thru Via Spacing	(51.224 33.800)	0.15 MM	0 MM	DEFAULT	NET SPACING CONSTRAINTS	Via "Not On A Net, Via0603, (51.000 34.000)"	Shape "Gnd, Etch/Top"
Line to Line Spacing	(45.283 19.783)	0.2 MM	0.107 MM	DEFAULT	NET SPACING CONSTRAINTS	Vertical Line Segment "Uart5_Rx, Etch/Top"	Odd-angle Line Segment "Uart5_Tx, Etch/Top"
Line to Line Spacing	(45.283 19.783)	0.2 MM	0.107 MM	DEFAULT	NET SPACING CONSTRAINTS	Odd-angle Line Segment "Uart5_Rx, Etch/Top"	Odd-angle Line Segment "Uart5_Tx, Etch/Top"
Line to Line Spacing	(49.883 15.183)	0.2 MM	0.107 MM	DEFAULT	NET SPACING CONSTRAINTS	Horizontal Line Segment "Uart5_Rx, Etch/Top"	Odd-angle Line Segment "Uart5_Tx, Etch/Top"
Minimum Neck Width	(94.600 33.200)	0.2 MM	0.18 MM	DEFAULT	PHYSICAL CONSTRAINTS	Horizontal Line Segment "Ant, Etch/Top"	

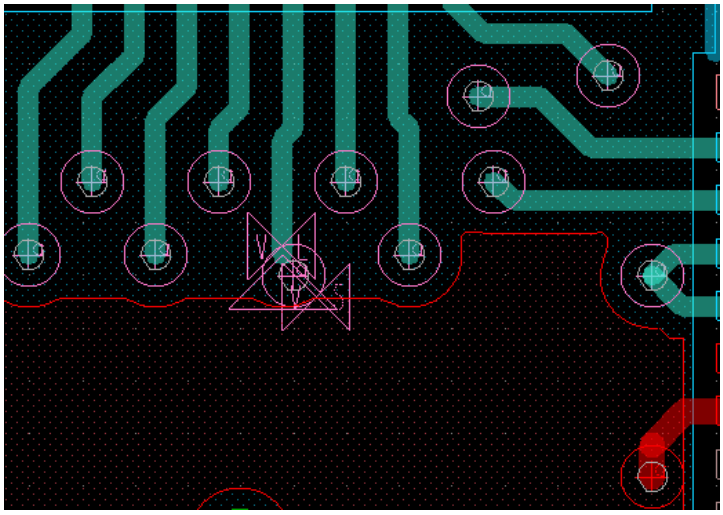
Gambar 4. 27 Laporan DRC pada board OBD CPU

- SMD Pin to SMD Pin Spacing: error karena jarak SMD ke SMD tidak sesuai dengan aturan. Jarak minimal komponen SMD dalam board OBD CPU yang telah ditentukan adalah 0.13 mm.



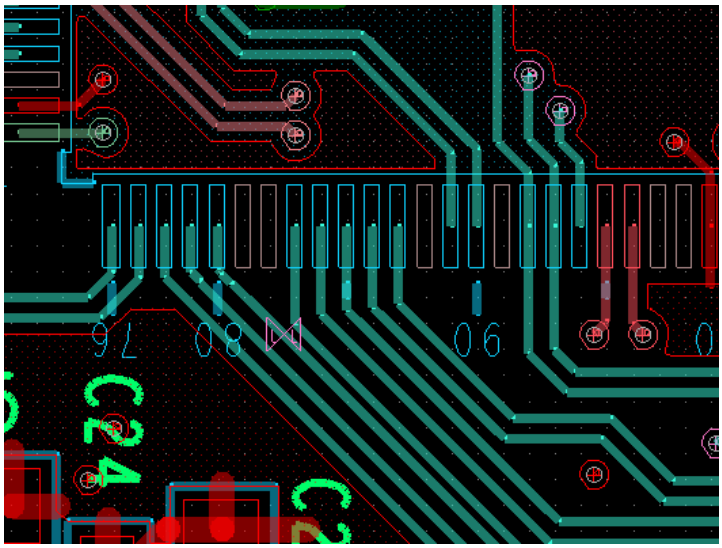
Gambar 4. 28 Error SMD pin to SMD pin spacing

- *Line to Through Via Spacing*: *error* karena *line* atau *wire* dengan *through* via terlalu dekat atau tidak ada jarak. Jarak minimalnya adalah 0.2 mm.
- *Shape to Through Via spacing*: *error* karena *shape* yaitu *pattern* yang terbuat dari *shape* yang berjarak kurang dari 0.15 mm.



Gambar 4. 29 Error shape to through via spacing

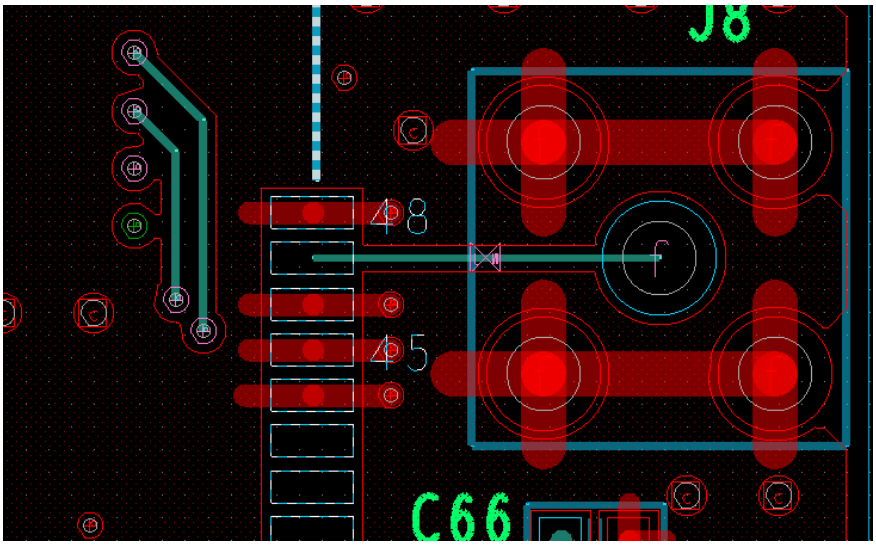
- *Line to Line Spacing*: *error line* ke *line* yang berjarak seharusnya 0.2 mm.



Gambar 4. 30 Error line to line spacing

- *Minimum Neck Width*: *Error* karena *line* atau *wire* yang tidak berukuran seharusnya 0.2 mm. Tetapi ada pengecualian dengan kesalahan desain ini karena *wire* yang dibuat memang dengan *line* 0.18 mm. Alasannya adalah karena terhubungna dengan antena.

Maka aturan pendesainan untuk antena dengan memastikan bahwa line berada pada tengah tengah antena.



Gambar 4. 31 Line 0.18 mm ke antena

4.4 Kesalahan umum Desain PCB

1. Untuk tahap pembuatan skematik ada beberapa hal yang sangat perlu diperhatikan, diantaranya yaitu:

- Pemasangan antar komponen dan *wiring* yang tersambung harus dipastikan menyatu. Jika tidak menyatu menyebabkan saat dipindahkan ke dalam *layout* PCB tidak terbentuk *node* sambungan dan akibatnya tidak tersambung dan tidak mempunyai fungsi elektronikanya. Kesalahan ini akan terlihat ketika proses penyambungan antara skematik dan *layout* atau ketika pengecekan net pada skematik.
- Koneksi antar pin skematik tidak terhubung dengan benar dan tidak saling tertukar. Misalnya tertukarnya VCC dan GND (*ground*) yang nantinya akan menyebabkan komponen rusak atau bahkan sampai merusak pada rangkaian.
- Konektor antar layer atau halaman satu dengan yang lainnya tidak sesuai. Jika terdapat dua *board* pada satu sistem yang dibuat, pastikan hubungan di konektornya

adalah benar dan sesuai urutan. Akibatnya tidak terproses dengan benar saat penyambungan skematik ke *layout*.

2. Untuk tahap desain *layout* PCB:

- Terlalu banyaknya jumlah komponen elektronika yang beragam dan ketidak lengkapan perpustakaan *footprint* pada *software* untuk membuat PCB.
- Dalam membuat *footprint*, satu hal yang sangat perlu diperhatikan yaitu memastikan ukuran *footprint* yang dibuat cocok untuk komponen yang dipasang pada PCB. Untuk melakukan penyocokannya yaitu mengukur dengan teliti jarak kaki dan lebar komponennya. Salah satu hal yang mudah untuk memastikan *footprint* yang dibuat adalah dengan mencetaknya ke kertas dan memastikan langsung komponen yang dipasang. Hal yang membutuhkan waktu lama tetapi sangat pasti komponen terpasang sempurna pada PCB.
- Ukuran *hole* atau lubang yang dibuat ukurannya harus sedikit lebih besar sehingga komponen dapat masuk dengan mudah.
- Ketidaktahuan aturan-aturan mendesain seperti penempatan komponen, jarak antar komponen dan *wire*, dan kesalahan desain lainnya yang menyangkut pada komponen dan *wire*.