BAB IV

PERANCANGAN RANGKAIAN *PW.COMPARATOR SHAPING* SEBAGAI RANGKAIAN PENYEDIA UNTUK PENGUKURAN LEBAR PULSA

IV.1.Latar belakang perancangan Rangkaian

Rangkaian *PW. Comparator Shaping* merupakan bagian dari modul dalia yang akan dimodifikasi menjadi suatu *card ISA.* Fungsi *hardware* yang cukup komplek akan coba digantikan dengan pengembangan aplikasi *software*, sehingga kerumitan pada hardware bisa diminimalisasi.

UNIT PELAKSANA TEKNIS PERPUSTAKAAN UNIKOM

Perancangan merupakan tahap utama dalam laporan kerja praktek ini. Adapun tujuan dari perancangan ini adalah untuk mencoba membuat suatu alat yaitu *PW Comparator shaping* yang merupakan suatu *EMS (Electronics Measurment Support)* yang berfungsi sebagai rangkaian penyedia untuk pengukuran lebar pulsa .

Dengan perancangan yang matang meliputi diagram blok, pembuatan skema rangkaian, pembuatan *Lay out PCB*, dan perakitan *hardware* .

IV.2. Langkah – langkah perancangan

Pada perancangan ini dilakukan langkah – langkah meliputi studi literatur untuk memepelajari dasar teori yang mendukung pembuatan alat tersebut. Selanjutnya alat yang akan dibuat ditentukan spesifikasinya untuk kemudian bisa memilih komponen yang sesuai berdasarkan pertimbangan-pertimbangan tertentu.

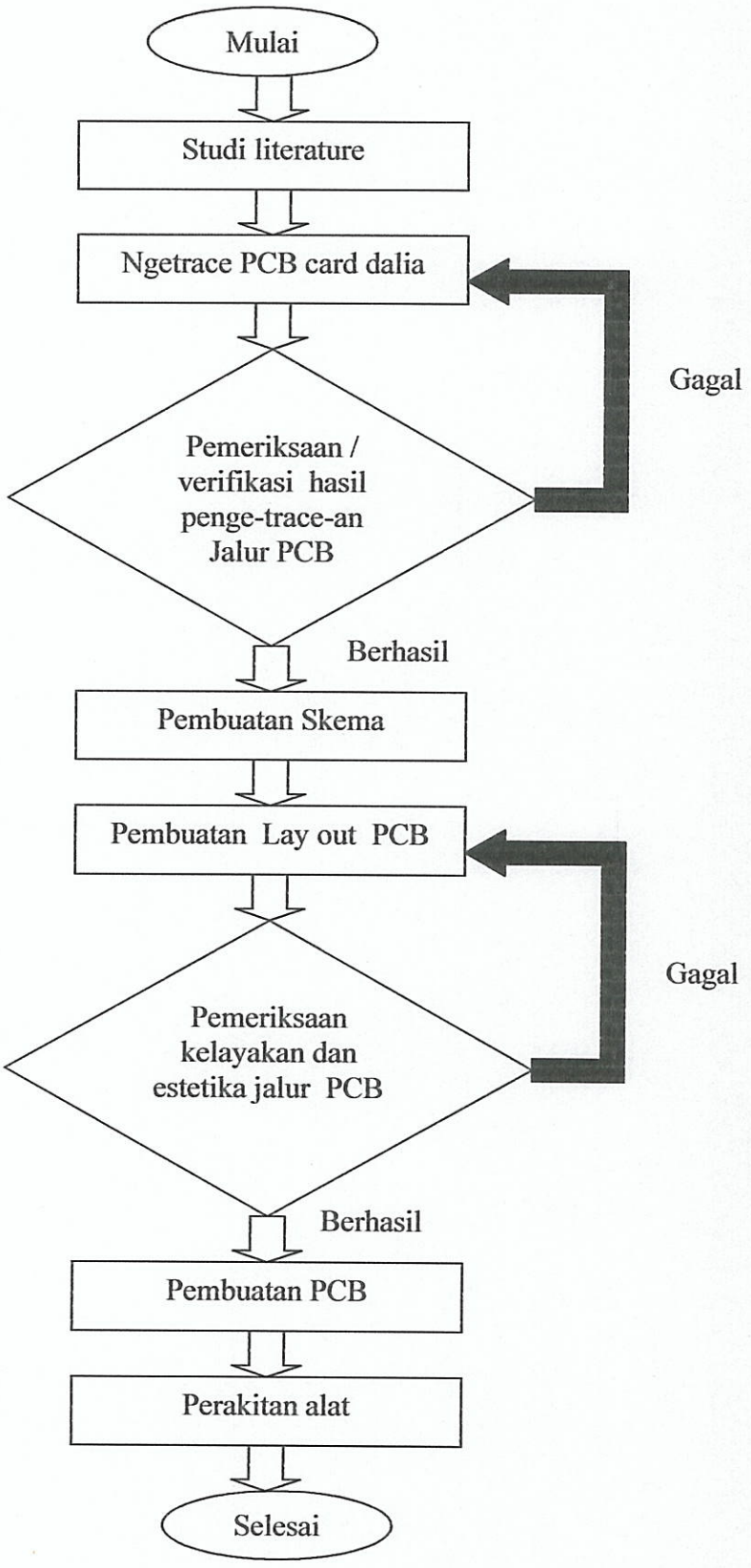
Pembacaan digaram blok rangkaian akan sangat penting untuk menunjang perancangan karena inti dari rangkaian tersebut digambarkan secara *general* lewat diagram blok tersebut. Setelah digaram blok dipelajarai, maka langkah selanjutnya adalah menge*trace* rangkaian aslinya dari *PCB* yang sudah ada, dimana kegiatan inti merupakan pengujian langusng dan media perbandingan keakuratan antara diagram blok , skema rangkaian dengan rangkaian aslinya yang sudah ada.

Setelah didapatkan jalur aslinya, maka kita harus mengkoreksi skema dan diagram blok yang sudah ada, ini dimaksudkan untuk memastikan kebenaran rangkaian. Setelah skema rangkaian didapat dengan benar, maka dibuatlah master skema untuk dijadikan referenasi dalam perancangan.

Setelah itu kita harus membuat skema rangakain dengan bantuan *Software*, dalam hal ini Protel 99 SE, dimana setelah itu kita sudah mempunyai skema rangkaian untuk di buat *Lay out PCB*nya.

Selanjutnya adalah pembuatan *Layout PCB* dan setelah itu kita bisa membuat repro filmnya untuk dibuat *PCB.* Setelah pembuatan *PCB* selesai, maka tahap selanjutnya kita menyiapkan komponen sesuai kebutuhan rangkaian, dan dilanjutkan dengan perakitan.

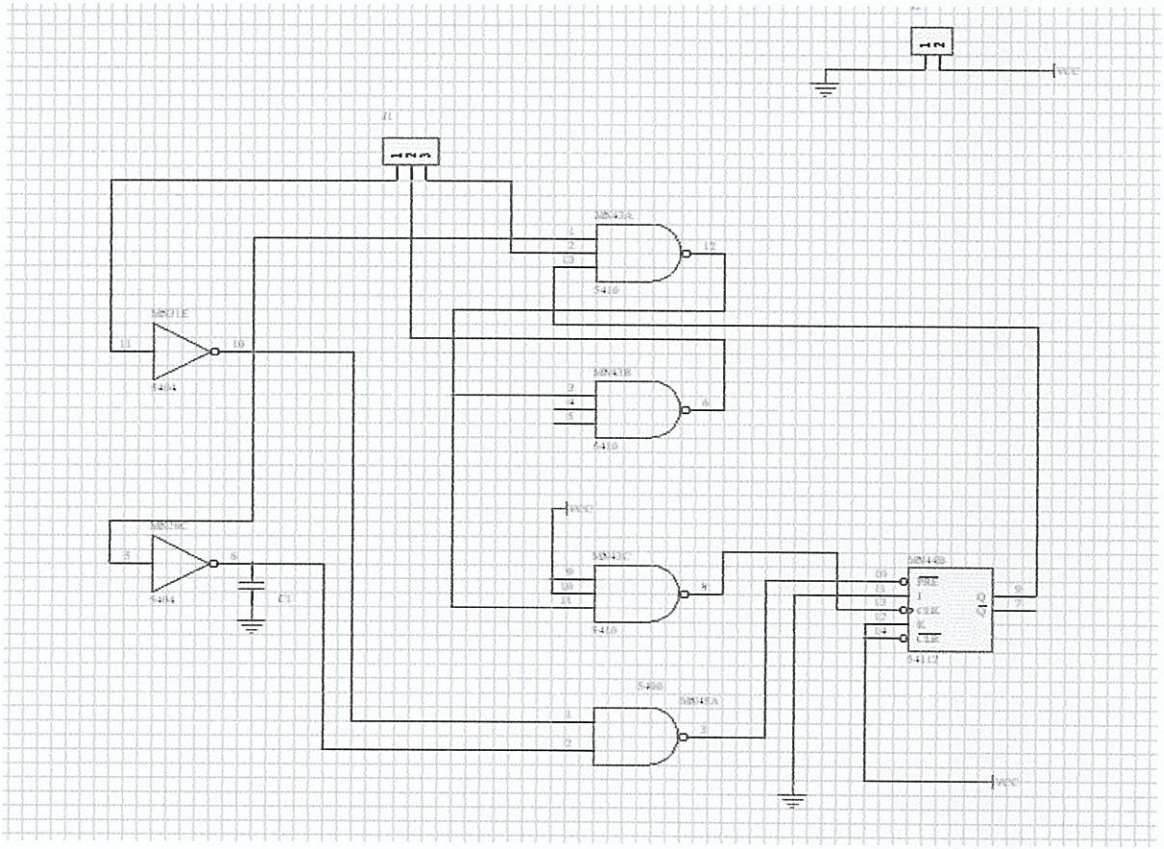
Sebagai acuan dalam perancangan rangkaian tersebut maka dibuatlah diagram alirnya, seperti yang terlihat pada gambar IV.1 berikut ini :



Gb.IV.1 Diagram alir perancangan rangkaian

IV.3. Skema Rangkaian

Berikut ini adalah Skema rangkaian *PW Comparator shaping* yang merupakan rangkaian pembantu sebagai penyedia untuk pengukuran lebar pulsa.



Gb. IV.2 Skema rangkaian *PW. Comparator shaping*

Komponen yang digunakan untuk rangkaian diatas adalah :

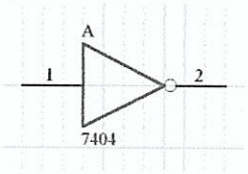
1. MN 29 : IC 5404 (Gerbang Not)
2. MN 31 : IC 5404 (Gerbang Not)
3. MN 43 : IC 5410 (Gerbang Nand)
4. MN 44 : IC 54112 (Dual JK FF)
5. MN 45 : IC 5400 (Gerbang Nand)
6. Kapasitor
7. Konektor

IV.4. Tabel kebenaran

IV.4.1 Tabel kebenaran gerbang NOT dan gerbang NAND

Tabel IV.1 . Tabel kebenaran gerbang Not (MN 31 dan MN 29)

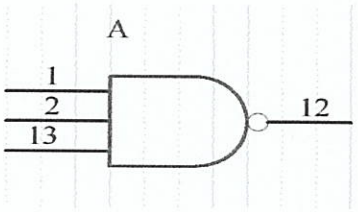
A	Y
0	1
1	0



Gb IV.3 . Simbol gerbang NOT

Tabel IV.2. Tabel kebenaran gerbang NAND (MN 43 dan MN 45)

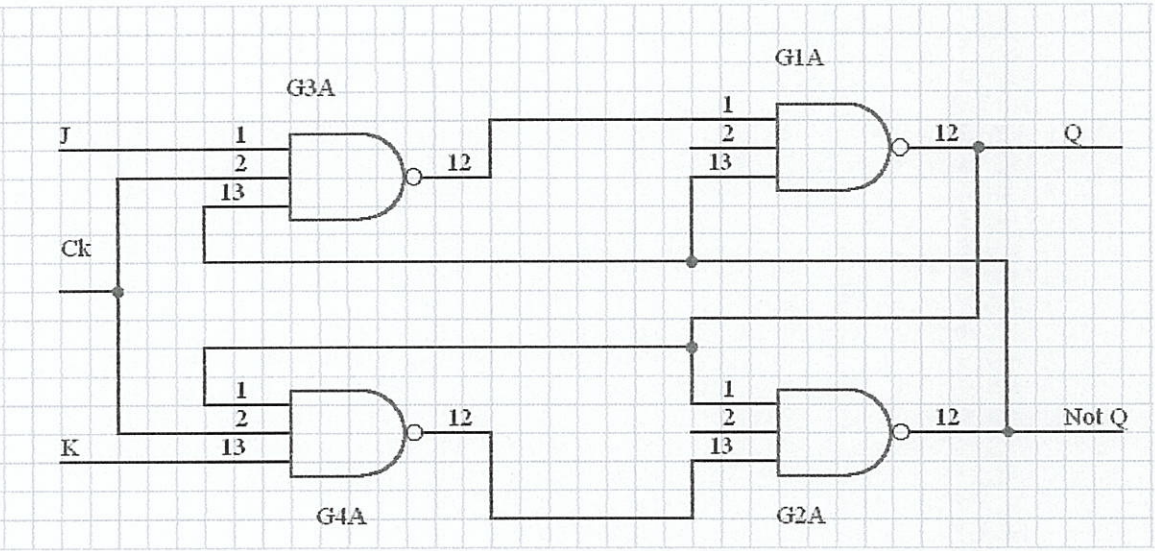
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0



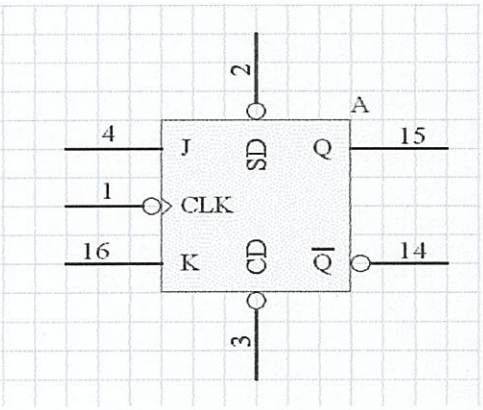
Gb.IV.4. Simbol gerbang NAND

IV.4.2. Dual JK Flip – flop (MN 44)

Flip – flop J-K mirip dengan flip – flop tipe T dengan dua tambahan masukan. Masukan tambahan ini disebut sebagai masukan J dan masukan K untuk membedakannya dengan S dan R. Konstruksi J – K menyediakan flip – flop *universal* yang dapat diprogram. Pada saat J = 1 dan K = 0, flip – flop berada dalam keadaan set (Q = 1 dan not Q = 0). Kedatangan pulsa detak (*clock*) memaksa detak pada masukan G3 dan G4 menjadi logika 1 yag akan menyebabkan keluaran G3 berubah dari 0 ke 1 dan keluaran G1 (Q) berubah dari 1 menjadi 0, pada gilirannya akan mengubah keluaran G2 (not Q) dari 0 menjadi 1. Jika kombinasi berubah menjadi J = 0 dan K = 1, kedatangan pulsa detak akan mengubah keluaran G4 dari 1 menjadi 0 dan keluaran not Q dari 1 menjadi 0 dan Q dari 0 menjadi 1.



Gb.IV.5. Konstruksi dasar J –K Flip - flop

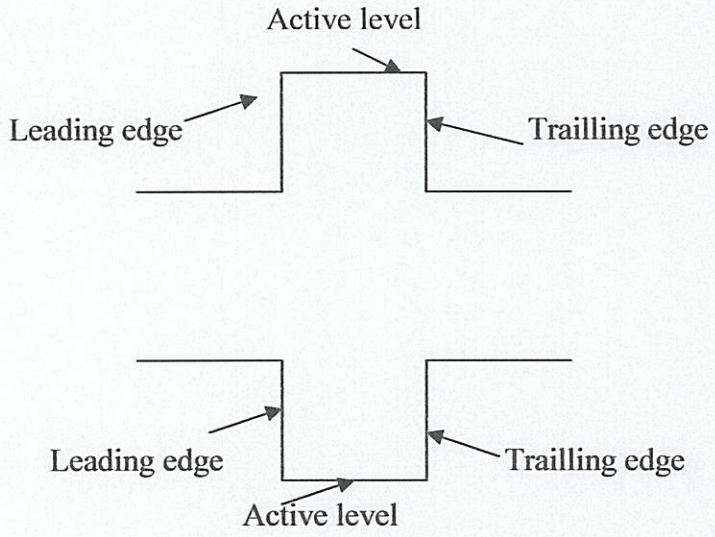


Gb.IV.6. Simbol J – K Flip - flop

Tabel IV.3. Tabel kebenaran J – K Flip – flop.

Detak (clock)	J	K	Q_{n+1}
0	X	X	Qn tetap
1	0	0	Qn tetap
1	1	0	1
1	0	1	0
1	1	1	Toggle

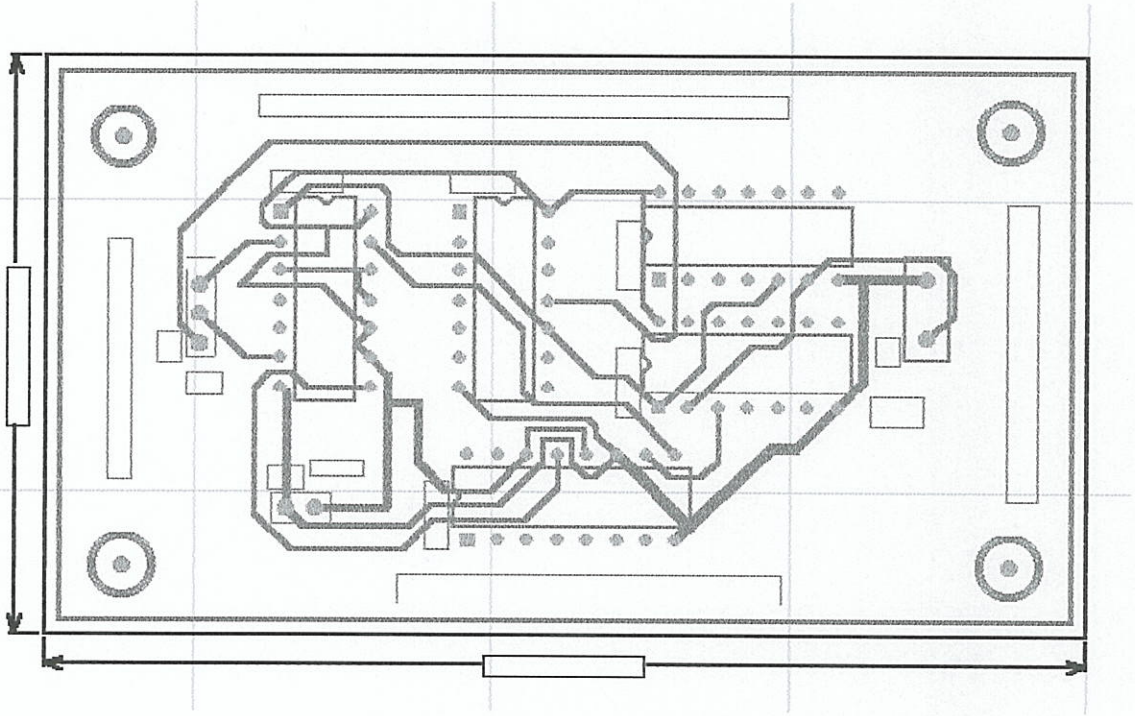
Dalam detak *(clock)* ada tiga bagian utama yaitu, sisi awal *(leading edge)*, bagian aktif *(active level),* dan sisi akhir *(trailling edge)*. Untuk pulsa kearah positif, sisi awal adalah positif, dan sisi akhir adalah negatif. Untuk pulsa ke arah negatif berlaku sebaliknya.



Gb.IV.7. Kondisi Clock

IV.5. Lay out PCB

Setelah pembuatan skema rangkaian , maka kita akan membuat *Lay out pcb*-nya dengan bantuan *software,* Pembuatan jalur memanfaatkan file netlist dari Protel Schematik dimana file ini yang merupakan file penghubung yang akan mempermudah pembuatan jalur secara otomartis. berikut adalah hasil dari pembuatan *Lay out PCB* tersebut.



Gb.IV.8. Lay out PCB Rangkaian PW. Comparator shaping

Lay out PCB diatas merupakan bagian dari rangkaian utama yang nantinya akan berupa sebuah *Card ISA*, modul ini merupakan bagian penyedia untuk pengukuran lebar pulsa.

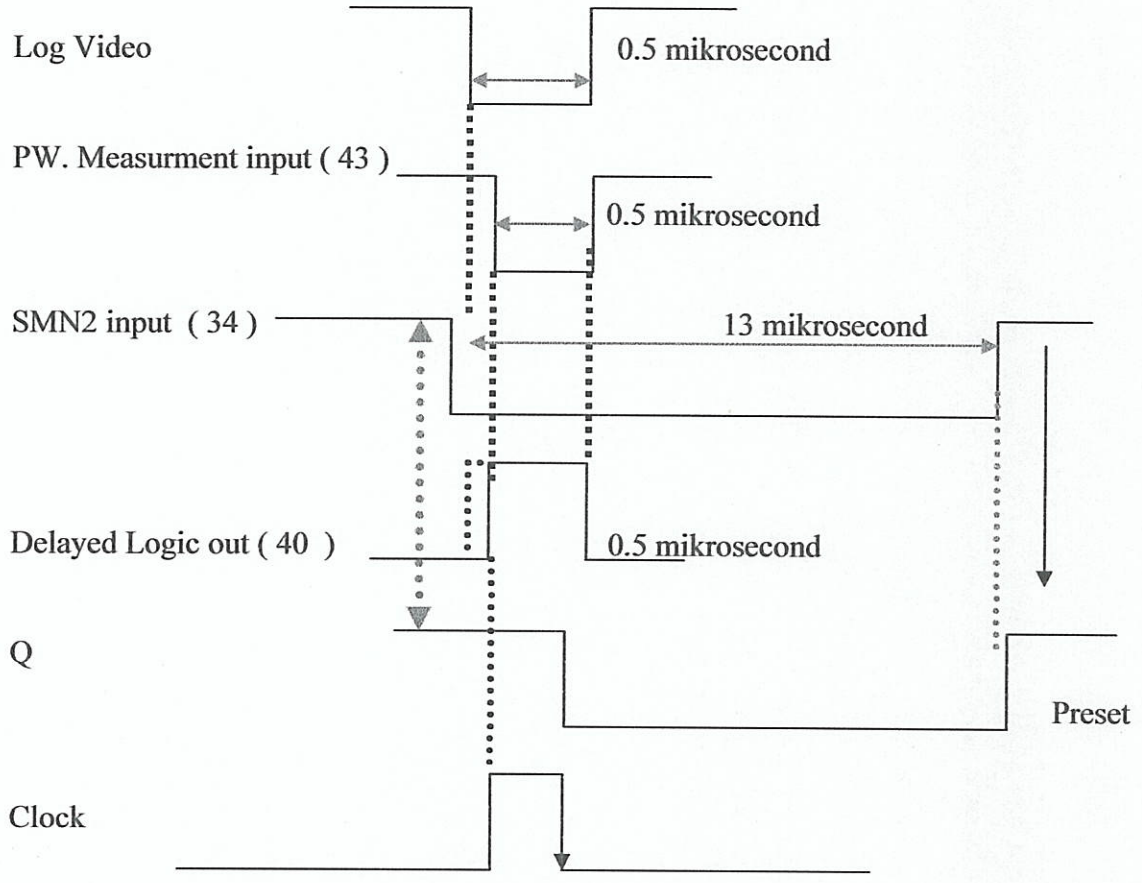
Beberapa ketentuan dalam pembuatan *lay out PCB* adalah :

1. Desain dan tata letak komponen harus ergonomis dengan luas *PCB*
2. Lebar jalur harus sesuasi dengan besarnya sinyal / arus yang akan melewatinya
3. Jalur *ground* diusahakan melindungi rangkaian
4. Jalur diusahakan sependek mungkin
5. Jangan ada jalur yang hubung singkat, kalau terpaksa maka harus di buat *jumper* atau dibuat ke dalam mode *double layer*

IV.6. Analisis kerja rangkaian

Rangkaian *PW. Comparator shaping* bersifat sebagai *EMS (Electronics measurment Support),* artinya rangkaian tersebut merupakan bagian dari rangkaian utama dalam suatu *card* atau modul yang lebih luas lagi. rangkaian *PW. Comparator shaping* ini bertugas sebagai penyedia untuk pengukuran lebar pulsa dari bagian *stretched video* untuk diteruskna ke bagian *delayed logic.*

Sinyal dari bagian *stretched video* merupakan sinyal video dengan kecepatan yang tinggi dan lebar pulsa yang sempit, hal ini tentunya akan menyulitkan kita ketika kita akan mengukur sinyal keluaran dalam hal ini lebar pulsa yang akan diukurnya.
Dengan adanya rangkaian *PW. Comparator shaping* ini , maka diusahakan lebar pulsa tadi bisa dipermudah untuk diukur. Berikut adalah diagram waktu dari *PW. Comparator shaping :*



Gb.IV.9. Diagram Waktu kerja rangkaian

Berdasarkan diagram waktu diatas, maka mula – mula sinyal keluaran dari *PW.Measurment input* (Pin 43. P0.1) dengan *delay* 0.5 mikrosecond akan berlogika nol, kondisi ini juga sama dengan sinyal input pin 34.P0.1 dengan *delay* 13 mikrosecond .

Sinyal keluaran dari MN 44 dalan hal ini Q akan berlogika 1 jika preset berlogika 0, kejadian Q berlogika 1 juga akan terjadi ketika terjadi transisi clock dari positif ke negatif.

Clock akan ada kalau kedua inputannya berlogika high, dalam hal ini adalah modul MN 43 pada pin 9, 10 dan 11, dikarenakan pin 9 dan 10 sudah terhubung dengan VCC, maka kondisi 1 hanya tinggal menunggu inputan dari pin 11, dimana pin 11 sendiri merupakan keluaran dari pin 12 pada modul 43.

Jadi rangkaian ini bekerja untuk menyiapkan lebar pulsa dari *Log. Video* yang sempit dan diberikan waktu tunda (*delay*) sehingga terjadi penundaan waktunya, artinya periodenya bertambah sehingga lebar pulsa ini bisa terukur sebelum dikeluarkan ke pin 40. P0.1 atau pada pin 6 MN 43.