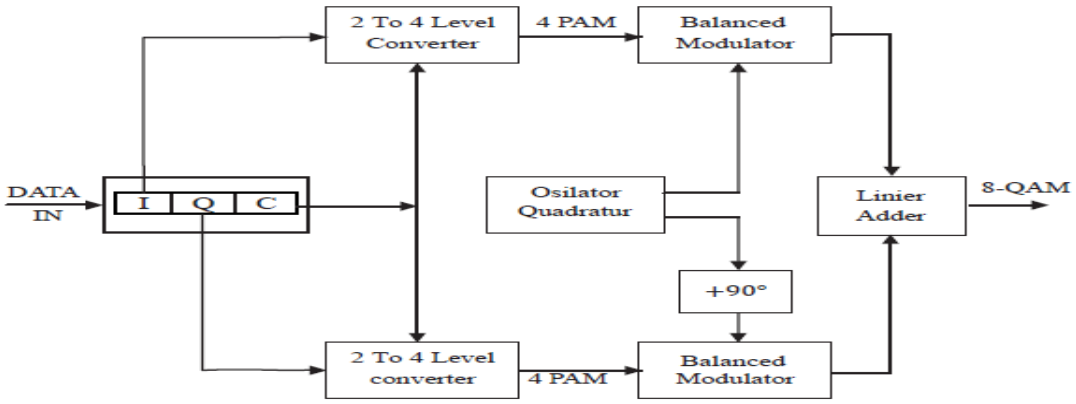
# BAB IV

# PENGUKURAN DAN ANALISIS

Untuk mengetahui apakah hasil rancangan yang dibuat sudah bekerja sesuai dengan fungsinya atau tidak, perlu dilakukan beberapa pengukuran pada beberapa test point yang dianggap perlu.

## 4.1 Modulator 8-QAM

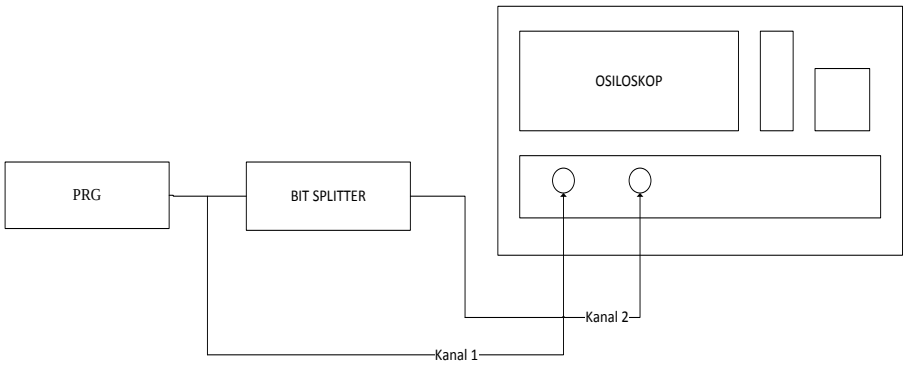



Gambar 4.1 Blok Diagram Modulator 8-QAM

### 4.1.1 Rangkaian Bit Splitter

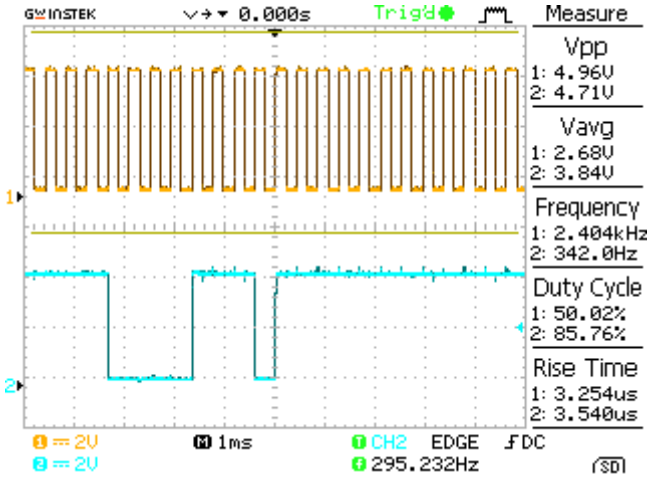
Rangakaian bit splitter setelah pengukuran pada TP ternyata berfungsi dengan baik. Saat bernilai logik “0” (*low level*) mempunyai keluaran dengan tegangan 0 volt dan saat bernilai logik “1” (*high level*) ternyata mempunyai keluaran dengan tegangan 5Vdc.

Frekuensi *clock shift register* menentukan kecepatan datanya yaitu sebesar 2400 Bps, sedangan kecepatan baudrate-nya ditentukan oleh frekuensi *clock buffer register*. Serta data masukan digunakan pembangkit pulsa acak (*Pulse Random Generator*) dengan kecepatan 2400 Bps.



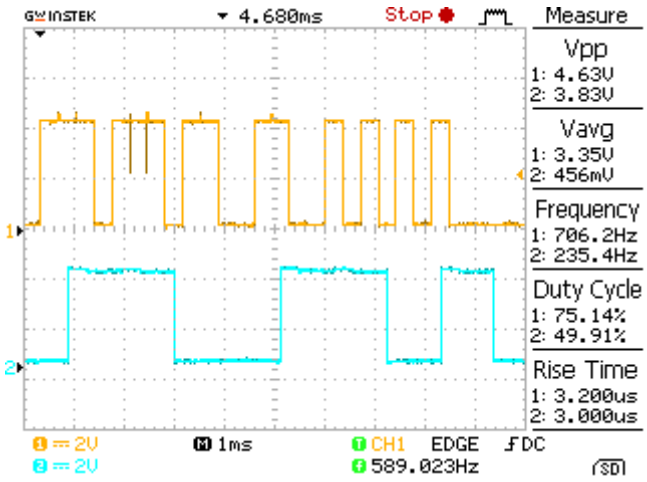

Gambar 4.2 Blok Diagram  Pengukuran Rangkaian Bit Splitter

Pengukuran dilakukan dengan menggunakan osiloskop digital dimana osiloskop ini mempunyai fasilitas khusus antara lain adalah keluaran dari sirkuit yang sedang diukur dapat disimpan dalam sebuah *memory card*.



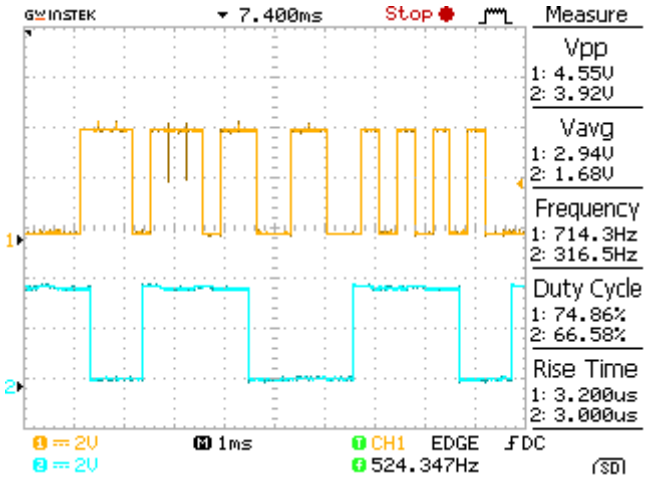

Gambar 4.3 Pembangkit Clock dan Pembangkit Data Acak

Dari gambar 4.3 Keluaran rangkaian pembangkit clock dapat diamati (gambar atas) dengan laju bit (bit rate 2400 bps)  dan gambar bawah merupakan keluaran dari pembangkit data acak (*Pulse Random Generator*).




Gambar 4.4 Pembangkit Data Acak dan Keluaran Bit Splitter Kanal C

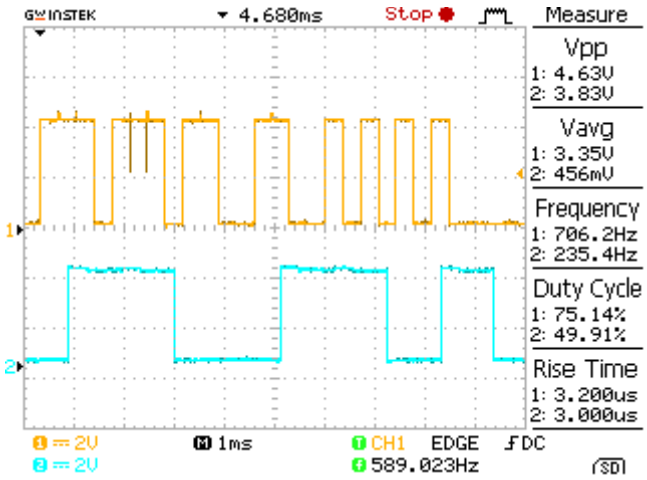
Dari gambar 4.4 keluaran rangkaian pembangkit data acak dapat diamati (gambar atas) dan gambar bawah merupakan keluaran dari *bit splitter* kanal C dimana jika bit ketiga dari pembangkit data acak dalam satu bit C diberi logik "1" (*high level*) maka keluaran dari rangkaian bit splitter kanal C juga akan berlogika "1" (high level).




Gambar 4.5 Pembangkit Data Acak dan Keluaran Bit Splitter Kanal I

Dari gambar 4.5 keluaran rangkaian pembangkit data acak dapat diamati (gambar atas) dan gambar bawah merupakan keluaran dari *bit splitter* kanal I dimana jika bit

kedua dari pembangkit data acak dalam satu bit I diberi logik “1” (*high level*) maka keluaran dari rangkaian bit splitter kanal I juga akan berlogika “1” (high level).

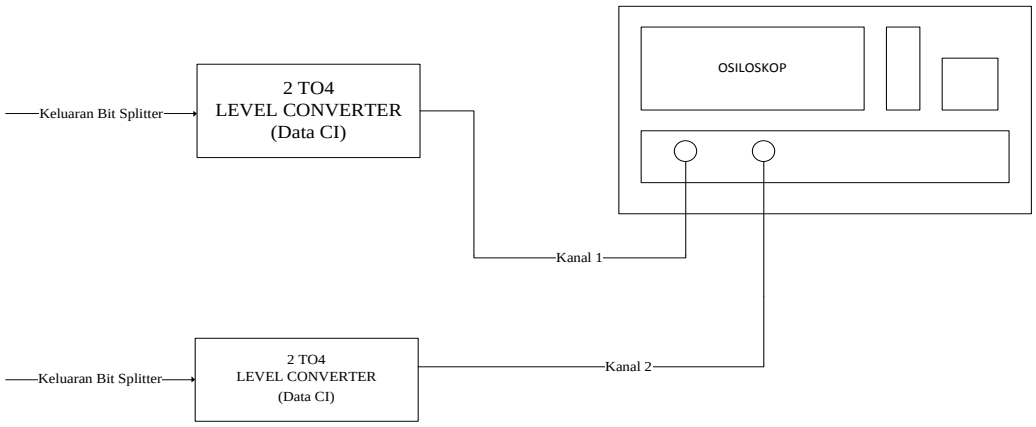



Gambar 4.6 Pembangkit Data Acak dan Keluaran Bit Splitter Kanal Q

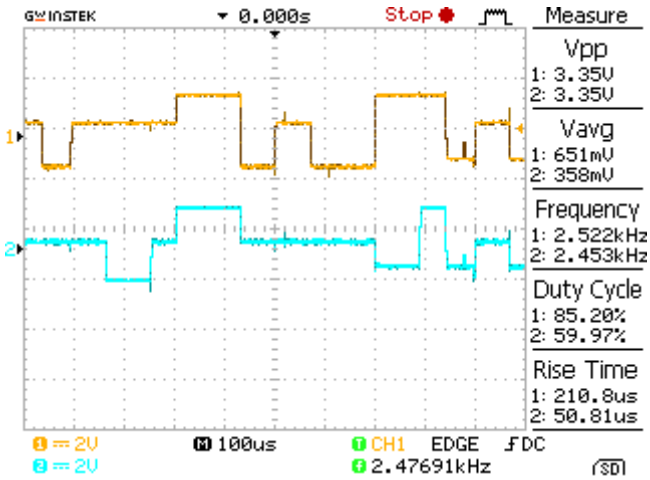
Dari gambar 4.6 keluaran rangkaian pembangkit data acak dapat diamati (gambar atas) dan gambar bawah merupakan keluaran dari *bit splitter* kanal Q dimana jika bit pertama dari pembangkit data acak dalam satu bit Q diberi logik “1” (*high level*) maka keluaran dari rangkaian *bit splitter* kanal Q juga akan berlogika “1” (high level).

### 4.1.2 Rangkaian 2 To 4 Level Converter

Keluaran dari rangkaian bit splitter merupakan masukan pada rangkaian pengubah 2 ke 4 dimana masukan dari pengubah 2 ke 4 pada kanal I diberi masukan data keluaran dari rangkaian *bit splitter* kanal I dan C, sedangkan masukan dari pengubah 2 ke 4 pada kanal Q diberi masukan data keluaran dari rangkaian *bit splitter* kanal Q dan C yang  Keluaran dari rangkaian ini berupa PAM (Pulse Amplitude Modulation).




Gambar 4.7 Blok Diagram Pengukuran Rangkaian Pengubah 2 Ke 4

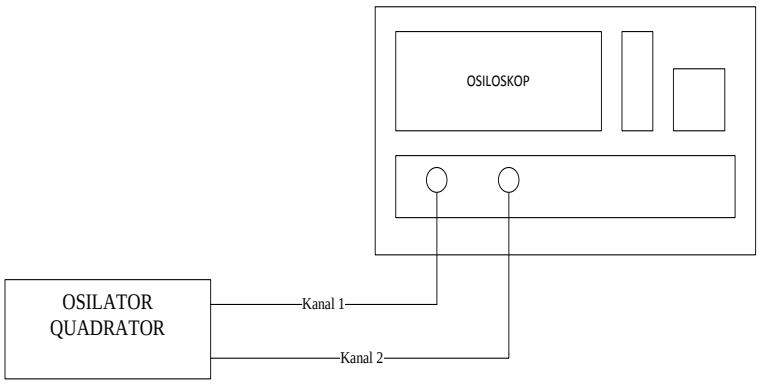



Gambar 4.8 Keluaran Pengubah 2 ke 4 Kanal I dan Kanal C

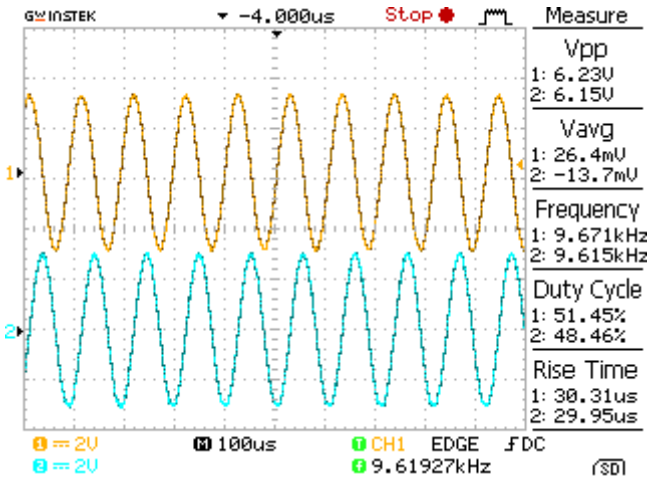
Dari gambar 4.8 keluaran dari rangkaian pengubah 2 ke 4 kanal I dapat diamati (gambar atas) dan keluaran dari rangkaian pengubah 2 ke 4 kanal Q (gambar bawah) dimana keduanya mempunyai 4 level tegangan yang berbeda.

### 4.1.3 Osilator Quadratur

Osilator Quadratur diukur dengan manggunakan osiloskop digital untuk penunjukan keluaran frekuensinya keluaran dihubungkan dengan kanal 1 dan keluaran dihubungkan ke kanal 2.

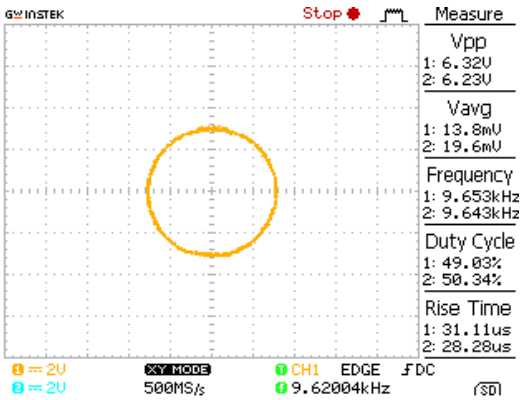



Gambar 4.9 Blok Diagram Pengukuran Rangkaian Osilator Quadrature




Gambar 4.10 Gambar Keluaran Osilator Quadratur dan

Dari gambar 4.10 keluaran dari rangkaian osilator quadratur dapat diamati (gambar atas) dan keluaran (gambar bawah) dimana keluaran osilator quadratur mempunyai perbedaan fasa sebesar + dari osilator quadratur dan keduanya mempunyai Frekuensi 9600Hz.

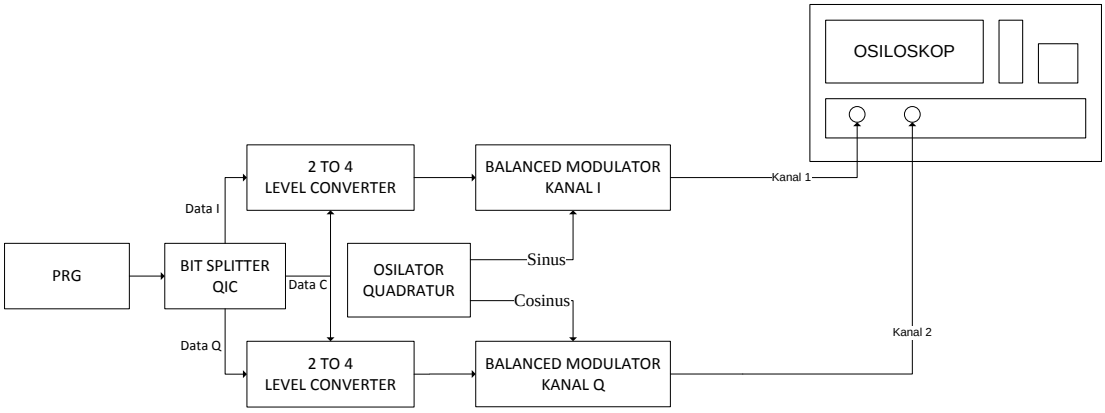



Gambar 4.11 Grafik Lissajous (dari Osilator Quadratur)

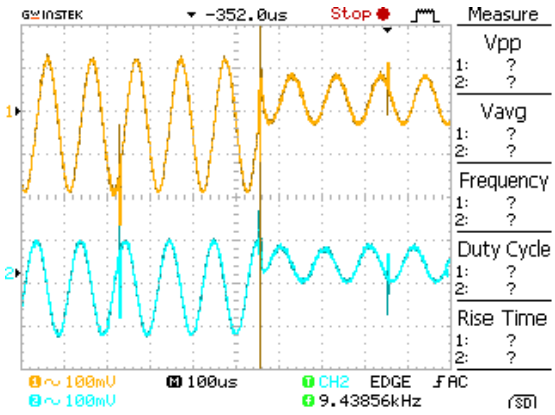
### 4.1.4 Balanced Modulator

Keluaran *balanced modulator* merupakan hasil perkalian antara sinyal pembawa (keluaran dari osilator quadratur) dengan sinyal pemodulasi (keluaran dari *2 to 4 level converter*).

Seperti yang lainnya, *balanced modulator* diukur dengan menggunakan osiloskp digital, Untuk kanal I dihubungkan dengan kanal 1 dan kanal Q dihubungkan dengan kanal 2 osiloskop.




Gambar 4.12 Blok Diagram Pengukuran Rangkaian Balanced Modulator



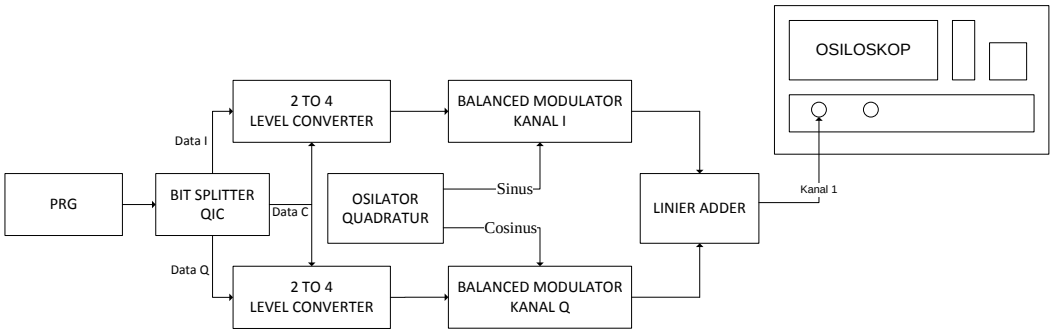

Gambar 4.13 Gambar Keluaran Balanced Modulator

Dari gambar 4.13 keluaran dari rangkaian *balanced modulator* kanal I yang merupakan perkalian gelombang pembawa t dengan rangkaian *2 to 4 level converter* kanal I (gambar atas) dan keluaran dari rangkaian balanced modulator kanal Q yang merupakan perkalian gelombang pembawa t dengan rangkaian *2 to 4 level converter* kanal Q.

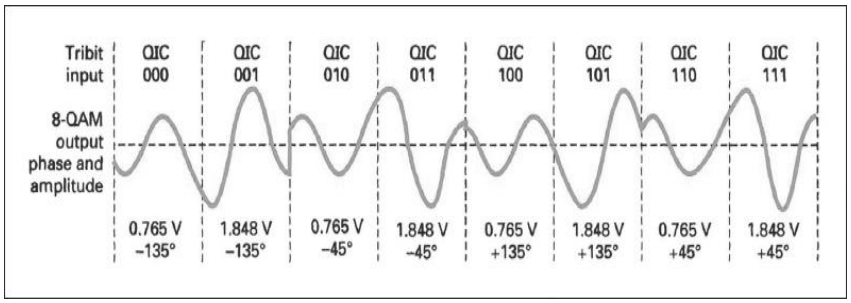
### 4.1.5 Penjumlah Linier (Linier Adder)

Keluaran dari penjumlah linier adalah merupakan pengukuran terakhir dari keseluruhan blok diagram modulator 8-QAM.

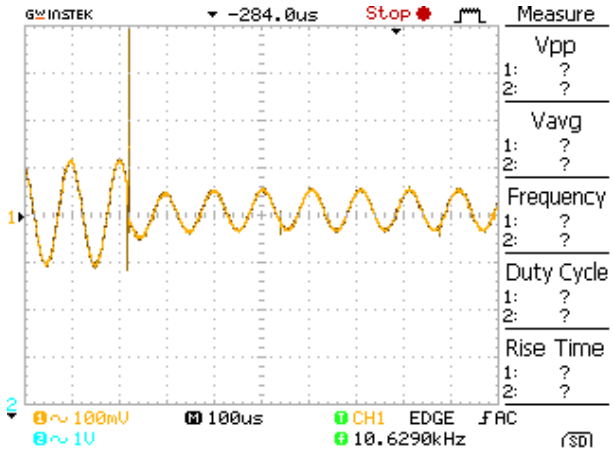
Dengan menggunakan osiloskop digital Keluaran dari penjumlah linier dihubungkan ke kanal 1.




Gambar 4.14 Blok Diagram Pengukuran Rangkaian Linier Adder

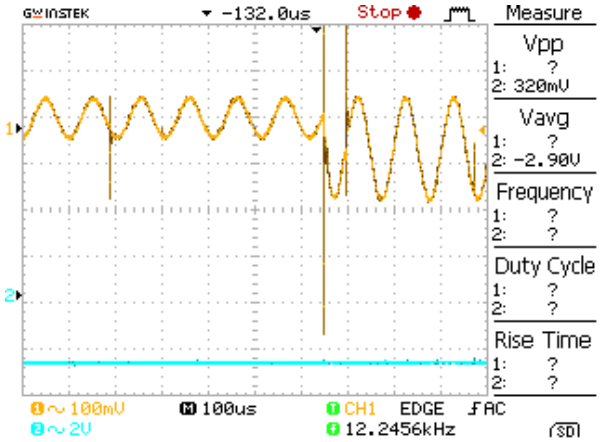



Gambar 4.15 Output Fasa – Amplitudo 8-QAM



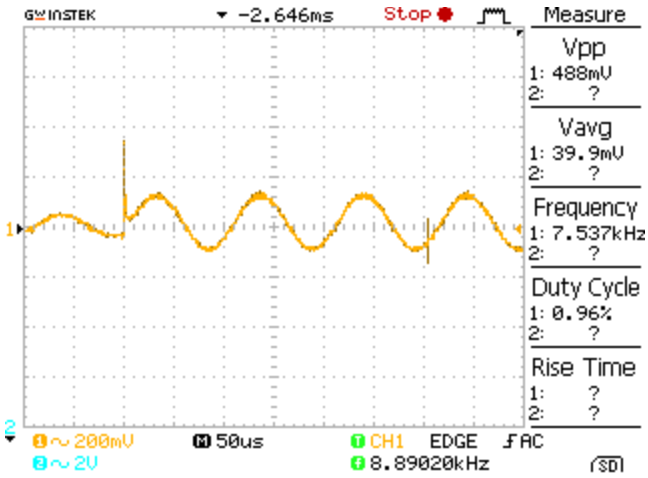

Gambar 4.16 Gambar Keluaran Penjumlah Linier Untuk Masukan Data 000

Dari gambar 4.16 keluaran dari rangkaian penjumlah linier untuk masukan data dari PRG (*Pulse Random Generator*) 000 terlihat adanya perubahan fasa sebesar -135.



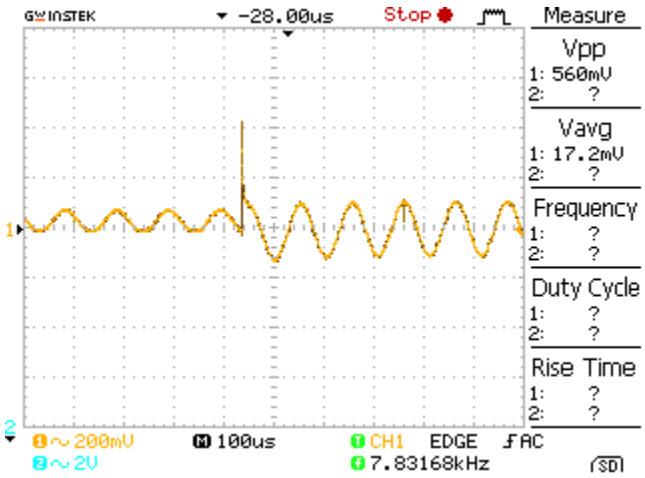

Gambar 4.17 Gambar Keluaran Penjumlah Linier Untuk Masukan Data 001

Dari gambar 4.17 keluaran dari rangkaian penjumlah linier untuk masukan data dari PRG (*Pulse Random Generator*) 001 terlihat adanya perubahan fasa sebesar -135.



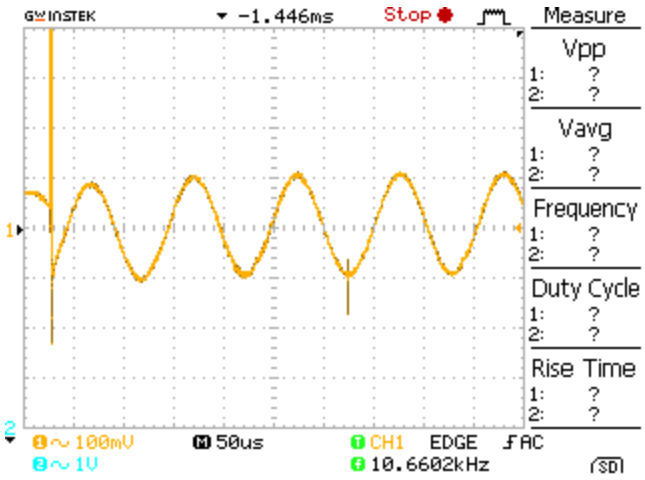

Gambar 4.18 Gambar Keluaran Penjumlah Linier Untuk Masukan Data 010

Dari gambar 4.18 keluaran dari rangkaian penjumlah linier untuk masukan data dari PRG (*Pulse Random Generator*) 010 terlihat adanya perubahan fasa sebesar -22,5.



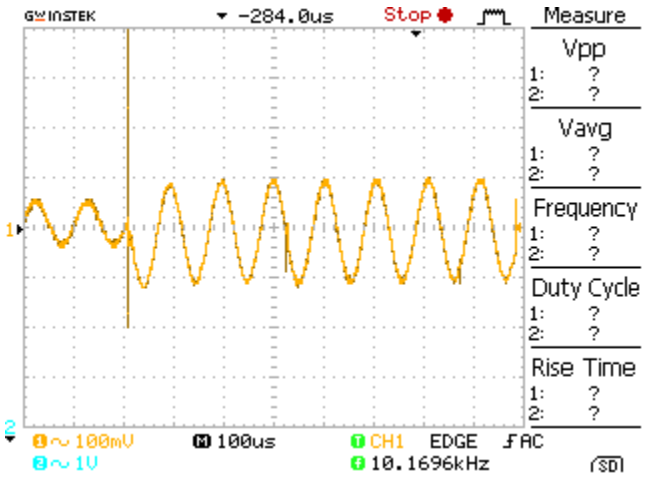

Gambar 4.19 Gambar Keluaran Penjumlah Linier Untuk Masukan Data 011

Dari gambar 4.19 keluaran dari rangkaian penjumlah linier untuk masukan data dari PRG (*Pulse Random Generator*) 011 terlihat adanya perubahan fasa sebesar -67,5.



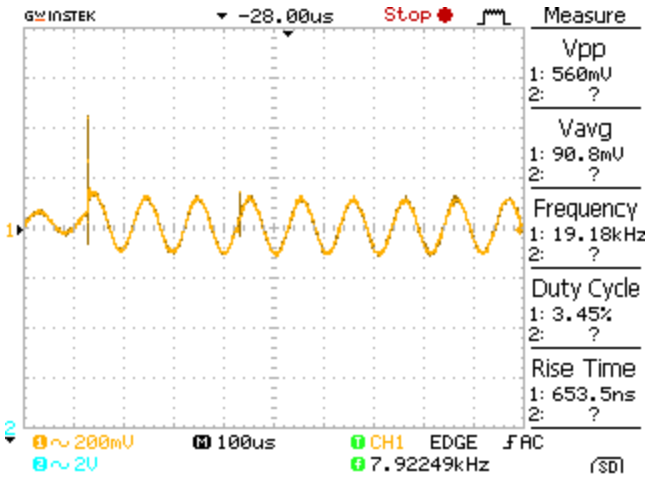

Gambar 4.20 Gambar Keluaran Penjumlah Linier Untuk Masukan Data 100

Dari gambar 4.20 keluaran dari rangkaian penjumlah linier untuk masukan data dari PRG (*Pulse Random Generator*) 100 terlihat adanya perubahan fasa sebesar +157,5.



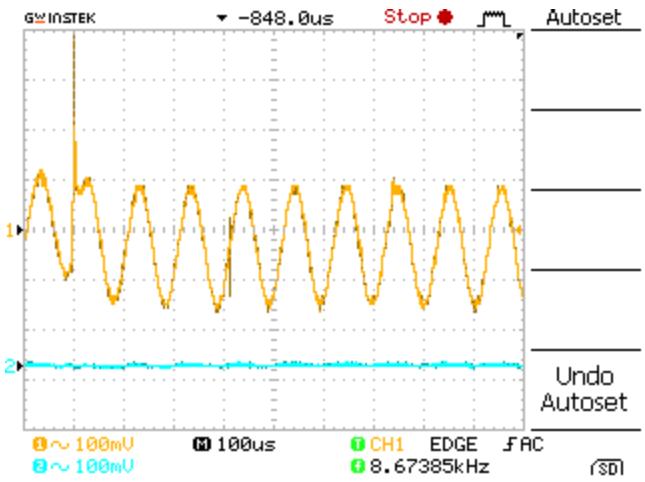

Gambar 4.21 Gambar Keluaran Penjumlah Linier Untuk Masukan Data 101

Dari gambar 4.21 keluaran dari rangkaian penjumlah linier untuk masukan data dari PRG (*Pulse Random Generator*) 101 terlihat adanya perubahan fasa sebesar +112,5.




Gambar 4.22 Gambar Keluaran Penjumlah Linier Untuk Masukan Data 110

Dari gambar 4.22 keluaran dari rangkaian penjumlah linier untuk masukan data dari PRG (*Pulse Random Generator*) 110 terlihat adanya perubahan fasa sebesar +45.

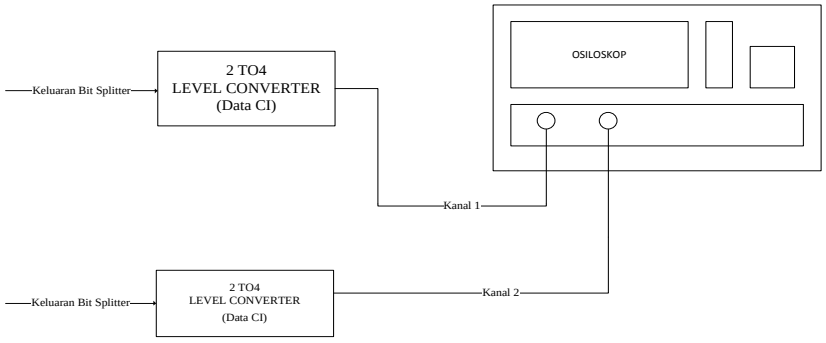



Gambar 4.23 Gambar Keluaran Penjumlah Linier Untuk Masukan Data 111

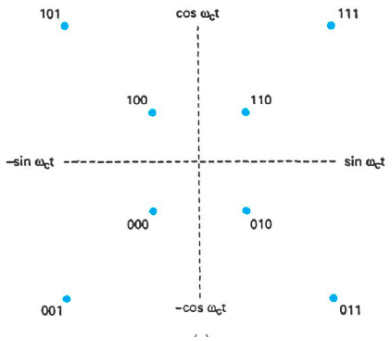
Dari gambar 4.23 keluaran dari rangkaian penjumlah linier untuk masukan data dari PRG (*Pulse Random Generator*) 111 terlihat adanya perubahan fasa sebesar +45.

### 4.1.6 Beda Fasa Modluator 8-QAM

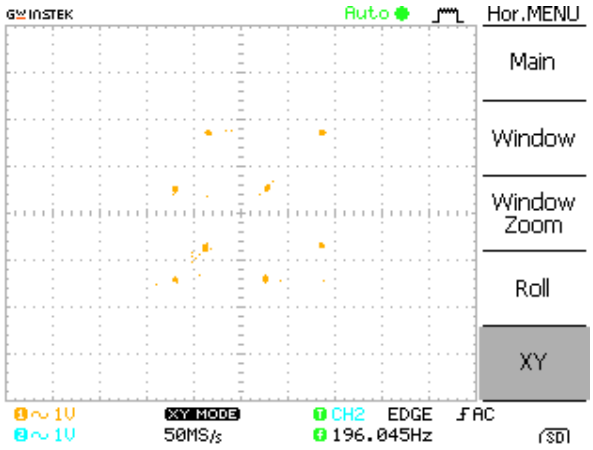
Beda fasa dapat dilakukan dengan melakukan pengukuran terhadap kedua rangkaian pengubah level 2 ke 4, seperti berikut ini :




Gambar 4.24 Blok Diagram Pengukuran Beda Fasa




Gambar 4.25 Diagram Konstelasi 8-QAM



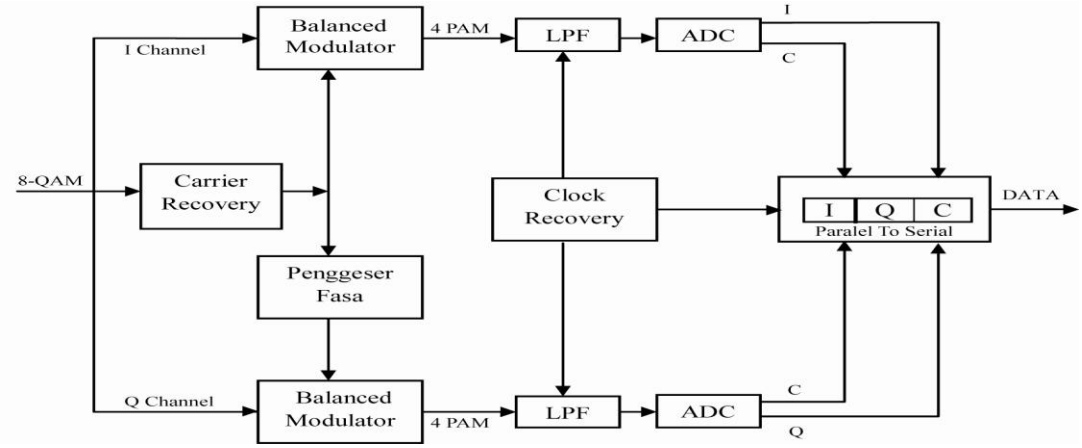

Gambar 4.26 Gambar Keluaran Pengukuran Beda Fasa

Dari Gambar 4.26 terlihat bahwa keluaran dari modulator 8-QAM ini mempunyai 8 titik konstelasi dimana tiap kuadrannya mempunyai dua titik konstelasi, namun terdapat perbedaan fasa pada kuadran dua dan empat jika dibandingkan dengan diagram konstelasi dari 8-QAM, hal ini terjadi karena adanya perbedaan level tegangan dari keluaran rangkaian pengubah level 2 ke 4.

Tabel 4.1 Tabel Kebenaran Beda Fasa 8-QAM

| INPUT | | | TEORI | HASIL PENGUKURAN |
|---|---|---|---|---|
| 0 | 0 | 0 | -135 | -135 |
| 0 | 0 | 1 | -135 | -135 |
| 0 | 1 | 0 | -45 | -22,5 |
| 0 | 1 | 1 | -45 | -67,5 |
| 1 | 0 | 0 | +135 | +157,5 |
| 1 | 0 | 1 | +135 | +112,5 |
| 1 | 1 | 0 | +45 | +45 |
| 1 | 1 | 1 | +45 | +45 |

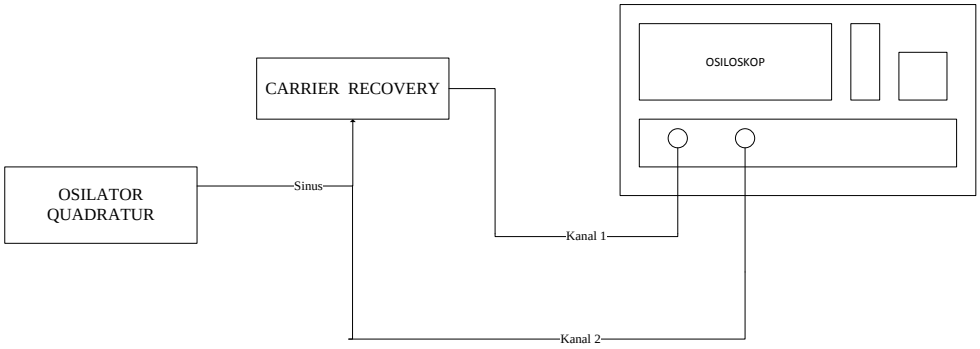
## 4.2 Demodulator 8-QAM



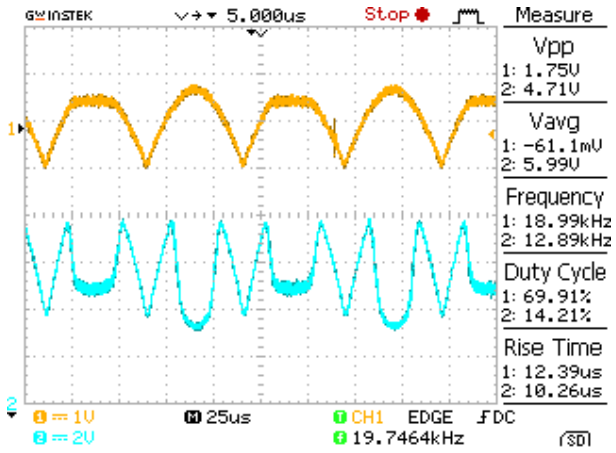

Gambar 4.27 Blok Diagram Demodulator 8-QAM

Pengamatan terhadap bentuk sinyal dan unjuk kerja Demodulator 8-QAM dilakukan terhadap semua bagian pada rangkaian demodulator, meliputi blok *carrier recovery, balanced modulator, low pass filter, clock recovery*, dan *Parallel to Serial Converter*. Sedang pengukuran dilakukan untuk mengetahui respon frekuensi dari rangkaian *low pass filter*.

### 4.2.1 Carrier Recovery

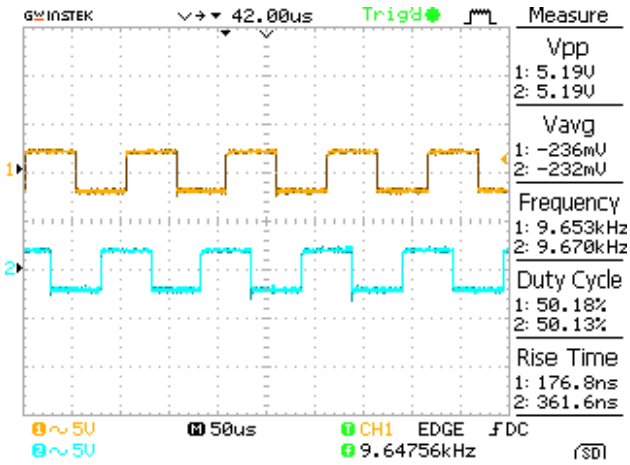



Gambar 4.28 Blok Diagram Pengukuran Rangkaian Carrier Recovery



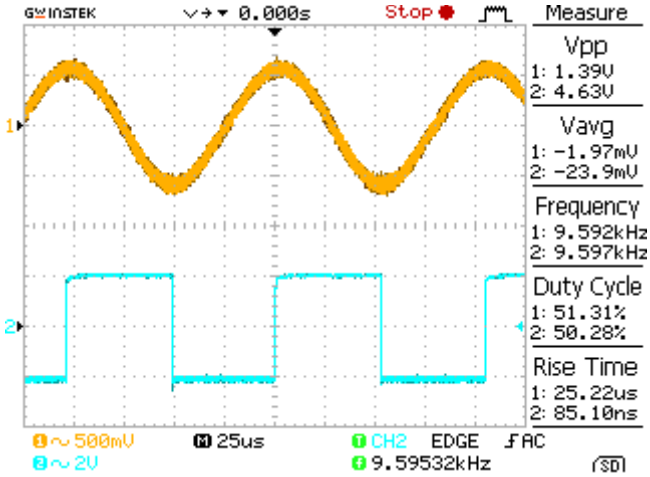

Gambar 4.29 Keluaran Rangkaian Pengkuadrat

Dari gambar 4.29 keluaran dari rangkaian pengkuadrat dapat diamati (gambar atas) mempunyai frekuensi sebesar 2 kali lebih besar dari frekuensi masukan sedangkan untuk gambar bawah mempunyai frekuensi 4 kali lebih besar dari frekuensi masukan, dimana rangkaian ini bertujuan untuk menghilangkan sinyal-sinyal pergeseran fasa pada frekuensi pembawa sehingga bisa untuk dimasukkan ke rangkaian PLL (phase locked loop) untuk mendapatkan frekuensi dan phase yang sesuai dengan frekuensi pembawa pada rangkaian modulator dengan catatan frekuensi sinyal pembawanya masih dalam jangkaun frekuensi yang dapat ditangani oleh PLL itu sendiri. Frekuensi keluaran PLL 4 kali lebih besar dari frekuensi pembawa tetapi dengan fasa yang hampir sama dengan sinyal pembawa, dan untuk mengembalikan frekuensinya agar sesuai dengan frekuensi sinyal pembawa maka digunakan rangkaian yang terdiri dari 2 buah IC 7474 sebagai rangkain pembagi empat sekaligus penggeser fasa.




Gambar 4.30 Keluaran Rangkaian Pembagi Empat

Dari gambar 4.30 keluaran dari rangkaian pembagi 4 dapat diamati kedua gambar sinyal telah mempunyai frekuensi yang sama dengan frekuensi sinyal pembawa yang di hasilkan dari rangkaian osilator quadrature pada modulator 8-QAM tetapi masih berbentuk sinyal kotak untuk itu dibutuhkan rangkaian *low pass filter* pembentuk sinusoidal untuk mengubah sinyal kotak menjadi sinusoidal dan sekaligus merupakan tahap akhir dari rangkaian *carrier recovery*.

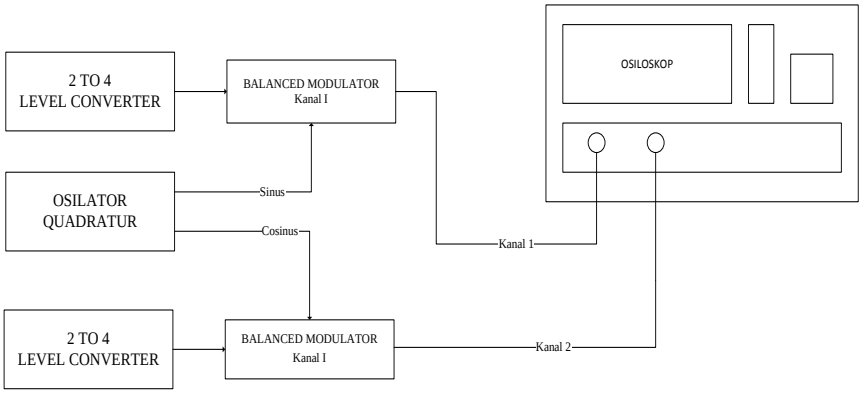



Gambar 4.31 Keluaran Rangkaian Low Pass Filter Pembentuk Sinusoidal

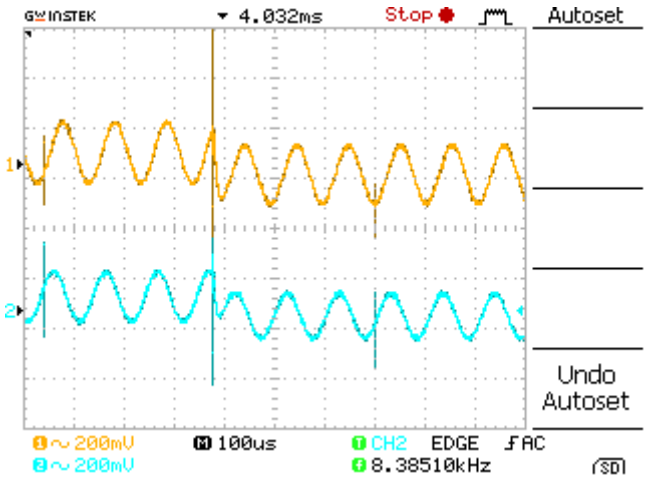
Dari gambar 4.31 keluaran dari rangkaian *low pass filter* pembentuk sinusoidal dapat diamati (gambar atas) mempunyai frekuensi yang sama dengan sinyal keluaran pembagi empat karena rangkaian ini bertujuan untuk mengubah sinyal kotak menjadi sinusoidal dan merupakan akhir dari rangkaian carrier recovery

### 4.2.2 Balanced Modulator

Sinyal keluaran dari *balanced modulator* merupakan hasil perkalian antara sinyal 8-QAM dengan sinyal gelombang pembawa keluaran *carrier recovery*. Hasilnya adalah sinyal bakal informasi (*base band*) yang bercampur dengan sinyal frekuensi tinggi.




Gambar 4.32 Blok Diagram Pengukuran Rangkaian Balanced Modulator

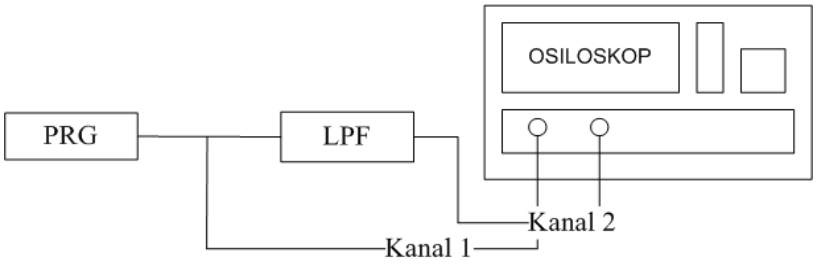



Gambar 4.33 Gambar Keluaran Balanced Modulator

Dari gambar 4.33 keluaran dari rangkaian *balanced modulator* kanal I yang merupakan perkalian gelombang pembawa t dengan rangkaian *2 to 4 level converter* kanal I (gambar atas) dan keluaran dari rangkaian balanced modulator kanal Q yang merupakan perkalian gelombang pembawa t dengan rangkaian *2 to 4 level converter* kanal Q.

### 4.2.3 Low Pass Filter

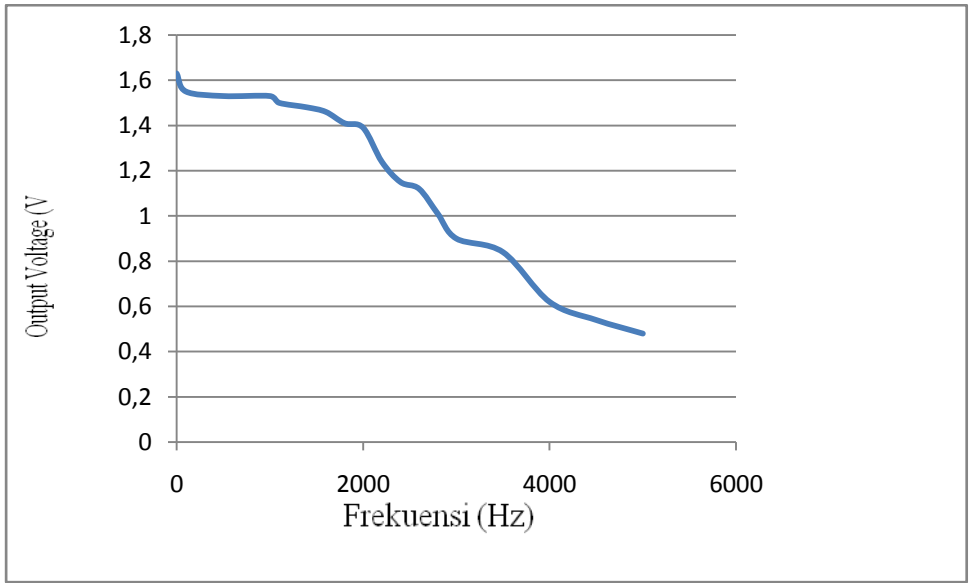
Pengukuran pada rangkain *Low Pass Filter* ditunjukan pada ganbar 4.20 dimana besarnya tegangan sinyal masukan yang diberikan dari *Function Generator* adalah 1 Vpp. Pengukuran dilakukan dengan mengubah frekuensi dari sinyal generator dan frekuensi dari sinyal *Function Generator* Mulai Dari 0 Hz sampai dengan 5000 Hz




Gambar 4.34 Blok Diagram Pengukuran Rangkaian Low Pass Filter

Tabel 4.2 Tabel Hasil Pengukuran Low Pass Filter

| Vin | Frekuensi (Hz) | Output Voltage (V) | Daya (db) | Vin | Frekuensi (Hz) | Output Voltage (V) | Daya (db) |
|---|---|---|---|---|---|---|---|
| 1 Vpp | 100 | 1,63 | 4,24 | 1 Vpp | 2200 | 1.24 | 1,86 |
| | 500 | 1,55 | 3,80 | | 2400 | 1,15 | 1,12 |
| | 1000 | 1,53 | 3,69 | | 2600 | 1.12 | 0,98 |
| | 1100 | 1,53 | 3,69 | | 2800 | 1,01 | 0,08 |
| | 1200 | 1,50 | 3,52 | | 3000 | 0,90 | -0,90 |
| | 1400 | 1,48 | 3,40 | | 3500 | 0,84 | -1,50 |
| | 1600 | 1,46 | 3,40 | | 4000 | 0,62 | -4,15 |
| | 1800 | 1,41 | 2,98 | | 4500 | 0,54 | -5,35 |
| | 2000 | 1,39 | 2,86 | | 5000 | 0,48 | -6,37 |




Gambar 4.35 Respon Frekuensi Low Pass Filter

Dari data pengukuran pada rangkaian *low pass filter* maka dapat dihitung frekuensi cut-off nya menggunakan rumus:

Fc = 0.707 x Vmax

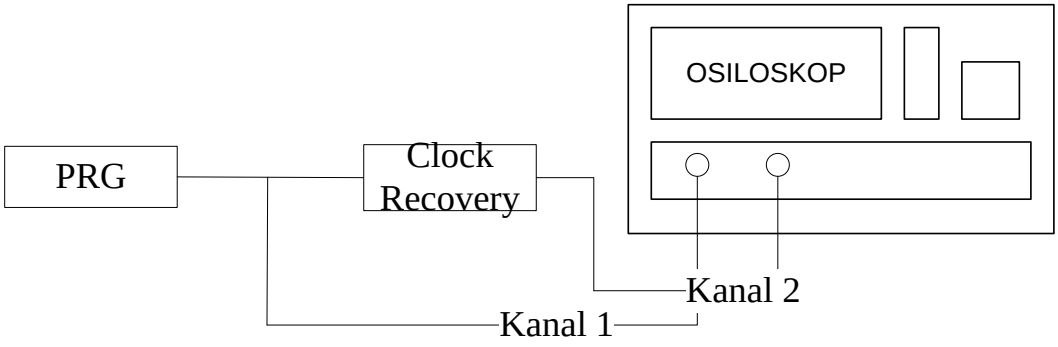
= 0.707 x 1,63 V

= 1.15 V

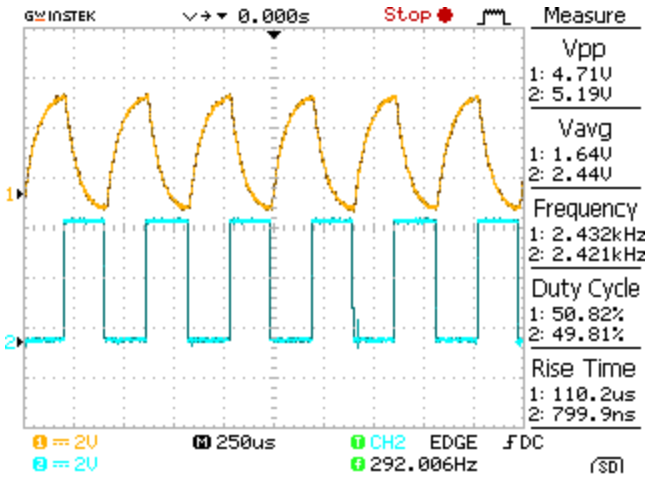
sehingga didapatkan frekuensi cut-off nya berada pada frekuensi 2400 Hz sesuai dengan perancangan.

### 4.2.4 Clock Recovery

Rangkaian *clock recovery* berfungsi untuk menghasilkan sinyal clcok yang sinkron dengan data parallel yang akan diubah memjadi data seri pada P/S *converter*




Gambar 4.36 Blok Diagram Pengukuran Rangkaian Clock Recovery

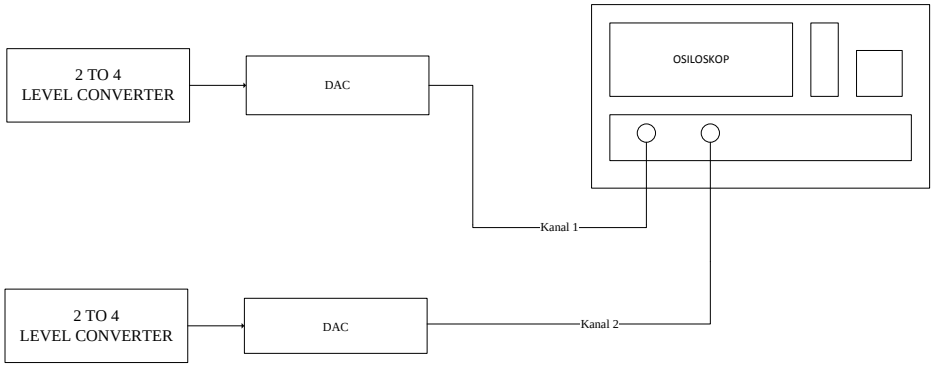



Gambar 4.37 Keluaran Rangkaian Clock Recovery

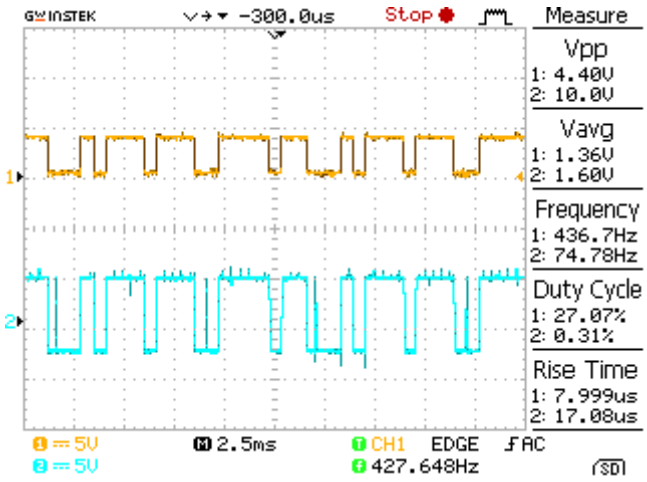
Dari gambar 4.37 dapat diamati (gambar bawah) merupakan keluaran dari rangkaian PLL dan gambar atas merupakan keluaran dari rangkaian penunda setengah bit, rangkaian PLL berfungsi untuk mendapatkan frekuensi yang sesuai dengan frekuensi clock pada rangkaian modulatornya sedangkan rangkaian penunda setengah bit berfungsi untuk mengatur fasa antar keduanya.

### 4.2.5 Analog ke Digital (Converter 4 to 2 level)

Rangkaian Pengubah Analog ke Digital berfungsi untuk mengubah kembali sinyal masukannya yang berbentuk PAM (*Pulse Amplitude Modulation*) yang merupakan hasil dari perkalian antara bit IC dan QC menjadi bit C, I dan Q sehingga dapat dihubungkan kerangkaian P/S *Converter*.




Gambar 4.38 Blok Diagram Rangkaian DAC

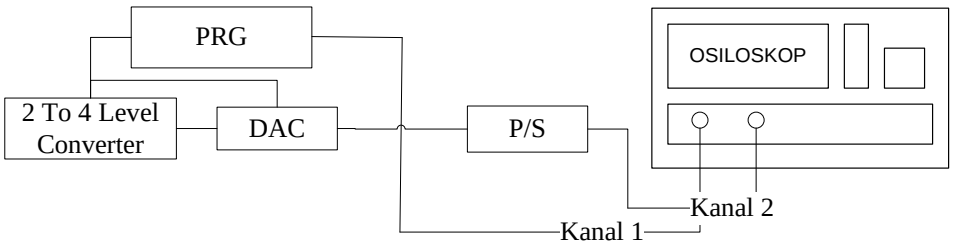



Gambar 4.39 Keluaran Rangkaian ADC

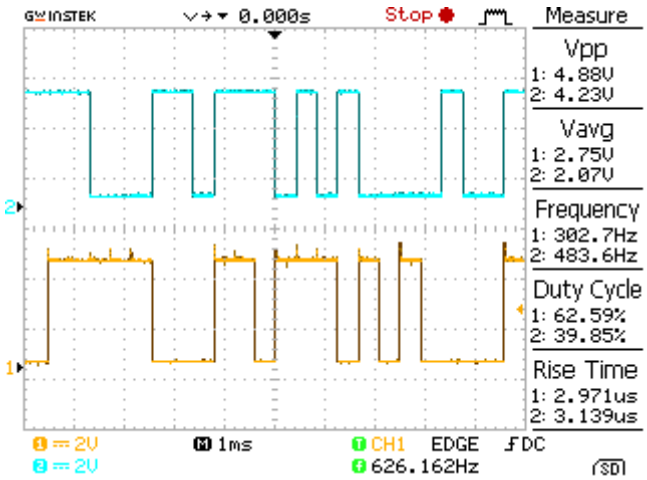
Dari gambar 4.39 dapat diamati (gambar bawah) merupakan keluaran dari output ADC bit C yang mempunyai 2 level tegangan +5 dan -5, dan gambar atas merupakan keluaran bit C pada modulator.

### 4.2.6 Parallel To Serial Converter

Rangkaian parallel to serial converter merupakan pengukuran terkakhir pada blok rangkaian demodulator 8-qam dimana keluaran dari rangkaian ini harus sesuai dengan data yang dikirimkan melalui modulator 8-qam.




Gambar 4.40 Blok Diagram Pengukuran Rangkaian Parallel To Serial Converter




Gambar 4.41 Keluaran Rangkaian Parallel To Serial Converter

Dari gambar 4.41 dapat diamati (gambar atas) merupakan data murni sebelum melewati *bit splitter* (pembagi tiga) sedangkan gambar bawah merupakan keluaran dari rangkaian *parallel to serial converter* dimana keduanya mempunyai perbedaan sebesar 3 frekuensi clock.