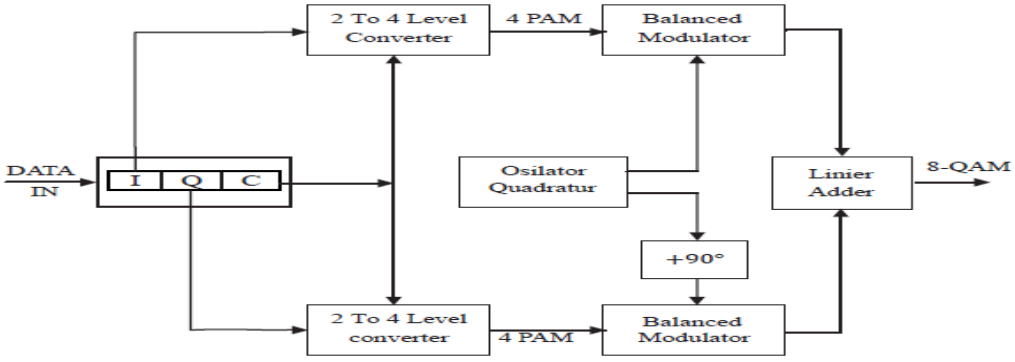
BAB III

PERANCANGAN DAN REALISASI ALAT

3.1 Pembuatan Modulator 8-QAM

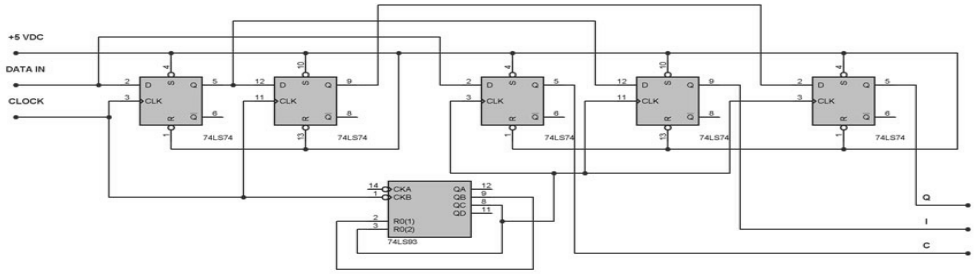
Dalam Pembuatan Modulator 8-QAM ini, berdasarkan pada blok diagram modulator 8-QAM seperti pada gambar 3.1 berikut ini:



Gambar 3.1 Blok Diagram Modulator 8-QAM

3.1.1 Bit Splitter

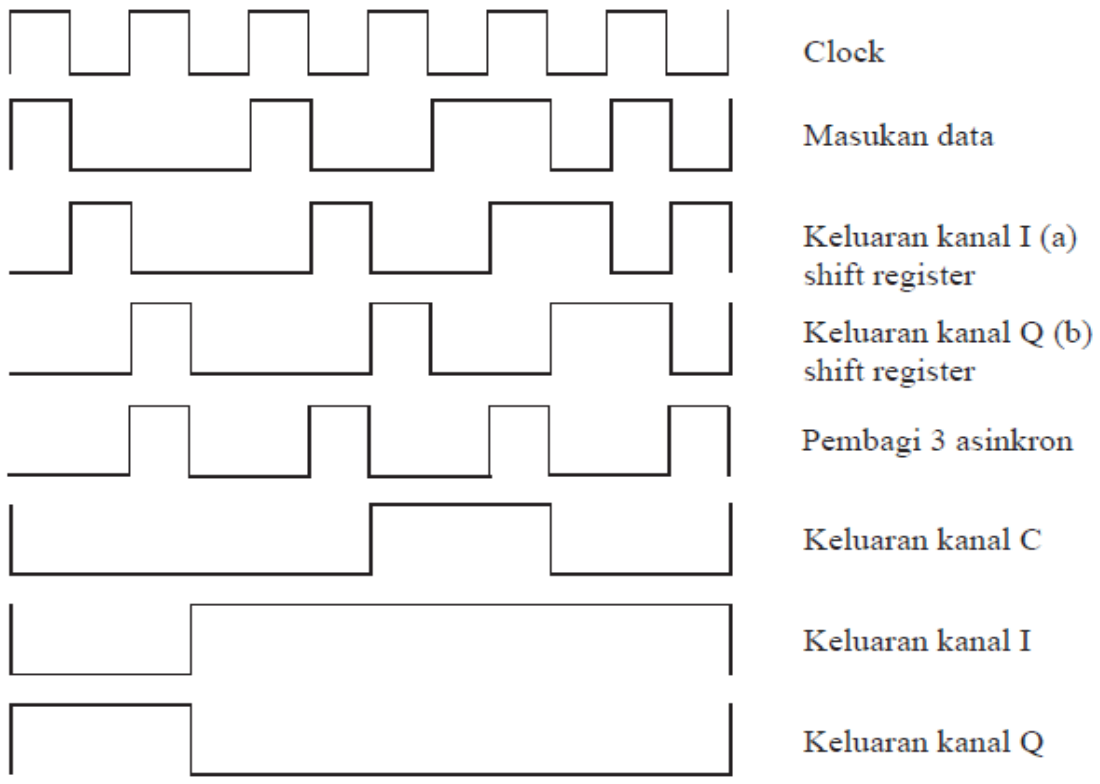
Rangkaian bit splitter mempunyai satu saluran masukan (*input*) dan 3 keluaran (*output*). Rangkaian ini direalisasikan dengan menggunakan IC 74LS74 yang berisikan 2 buah D flip-flop, D flip-flop berfungsi sebagai register penggeser (*shift register*) dan register penyangga (*buffer register*), dan IC 74LS93 *binary counter*, berfungsi sebagai pembagi tiga.



Gambar 3.2 Rangkaian Bit Splitter

Tabel 3.1 Tabel Kebenaran Bit Splitter

Clock	Masukan Data			Keluaran Shift register kanal I	Keluaran Shift register kanal Q	Pembagi tiga asinkron	Keluaran Q	I	C
1	0	0	0	0	0	1	0	0	0
1	0	0	1	0	0	1	0	0	1
1	0	1	0	1	0	1	0	1	0
1	0	1	1	1	0	1	0	1	1
1	1	0	0	0	1	1	1	0	0
1	1	0	1	0	1	1	1	0	1
1	1	1	0	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1



Gambar 3.3 Diagram Pewaktu Bit Splitter

3.1.2 2 to 4 Level Converter

Rangkaian pengubah level 2 ke4 (*2 to 4 level converter*) merupakan rangkaian yang prinsip kerjanya identik dengan pengubah dari digital ke analog (DAC).

Gambar 3.6 menunjukan bentuk dual *input to four level converter output* untuk sebuah modem 8-QAM. Prinsipnya sama dengan modem lain, tetapi jumlah hambatannya berbeda, keempat jumlah hambatan merupakan gabungan antara Op-Amp 1(U_1)dan Op-Amp 2 (U_2) yang digunakan untuk membuat perbandingan sampai +2,5 VDC (½Vcc). Saat level input bit kurang dari +2,5 VDC (biner 0). *Comparator* akan memberikan satu keluaran dan ketika bit masukan lebih besar dari +2.5 VDC (biner 1) *comparator* akan memberikan keluaran level lain. +5VDC dan -5VDC. Output dari U_1 (E_1) dan U_2 (E_2) kemudian jumlahnya sama dengan R_1, R_2 R_f dan U_3.

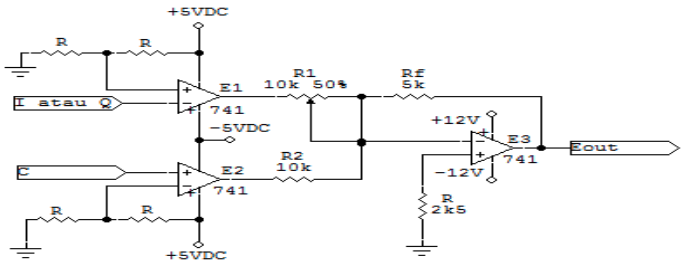
Tegangan keluaran (E_0) dinyatakan dengan persamaan dibawah ini.

$$E_0 = -R_F[(E_1/R_1)+(E_2/R_2)] \quad \text{(volt)} \qquad (3.1)$$

Contoh Sederhana, Jika I = 1, C = 0, V1 lebih besar dari perbandingan level yang diindikasikan dengan keluaran tinggi, akan tetapi bit tersebut digunakan untuk masukan *inverting* sehingga E_1menjadi -5VDC, bit c dimasukan pada terminal *non inverting*, sehingga saat C = 0, tegangan keluaran menjadi -5VDC juga, Dari persamaan diatas dapat dihitung.

$$E_0 = -5\text{KW}[(-5\text{V}/4142\text{W})+(-5\text{V}/10\text{KW})] = +8{,}535\text{VDC}$$

Dalam sirkuit ini, +5VDC adalah biner 1 dan -5VDC sebagai biner 0. Selain dari contoh diatas bias dihitung dari kombinasi bit lainnya.

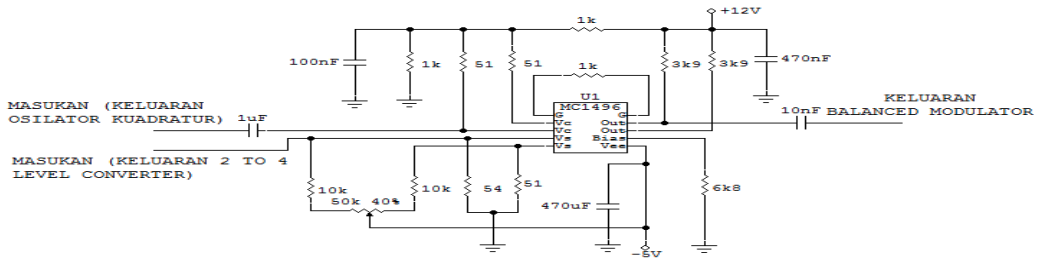


Gambar 3.4 Rangkaian Pengubah Level 2 Ke 4

3.1.3 Balanced Modulator

Balanced modulator merupakan rangkaian pemodulasi dimana keluaran dari modulator ini merupakan perkalian dari dua sinyal masukan, dalam hal ini masukan dari sinyal pembawa yang berupa gelombang sinusoidal akan dikalikan dengan keluaran dari sirkuit pengubah 2 ke 4 (*2 to 4 level converter*) yang berupa PAM (*Pulse Amplitudo Modulation*).

Gambar 3.5 dibawah ini memperlihatkan sebuah rangkaian *balanced modulator* dengan menggunakan IC MC1496.

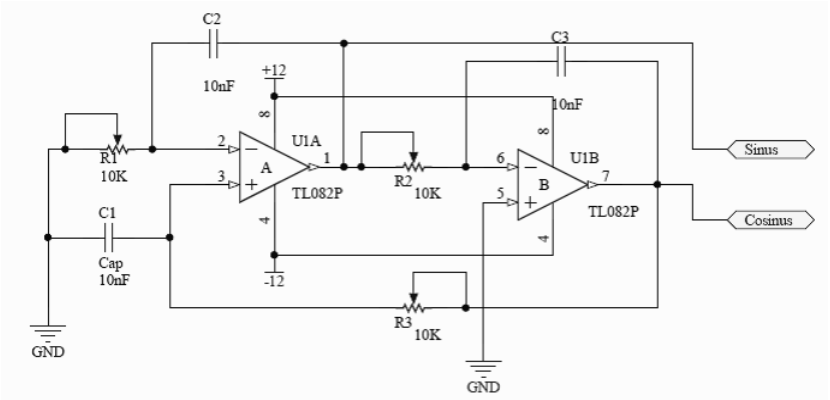


Gambar 3.5 Rangkaian Balanced Modulator

3.1.4 Osilator Quadratur

Osilator ini menghasilakan dua gelombang sinus yaitu gelombang sinus dan gelombang cosinus, untuk mendapatkan gelombang cosines dengan cara menggeser 90^{o}gelombang sinus.

Sehingga rangkaian lengkap untuk osilator quadratur adalah sebagai berikut :



Gambar 3.6 Osilator Quadratur

Frekuensi yang dihasilkan oleh rangkaian osilator quadratur dapat dihitung dengan rumus :

$$F_{out} = 1/(2\pi RC) \quad \text{..... (3.2)}$$

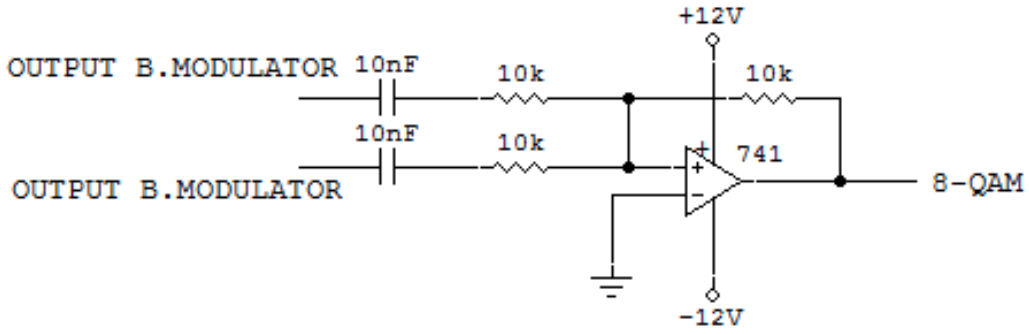
Dengan nilai $R_1 = R_2 = R_3 = R$ dan untuk nilai $C_1 = C_2 = C_3 = C$.

Untuk frekuensi 9600Hz, nilai C dan R nya adalah C = 10nF, R = 1657.9 Ω.

3.1.5 Penjumlah Linier (Linier Adder)

Rangkaian penjumlah linier dipakai untuk menggabungkan dua sinyal masukan menjadi satu sinyal keluaran, sinyal keluaran bisa merupakan penjumlahan dengan penguatan maupun penjumlahan lansgung sinyal masukan.

Pada penjumlah langsung semua hambatan masukan dan hambatan umpan balik harus sama besar, bila diperlukan penguatan tahanan umpan balik dibuat lebih besar.



Gambar 3.7 Rangkaian Penjumlah

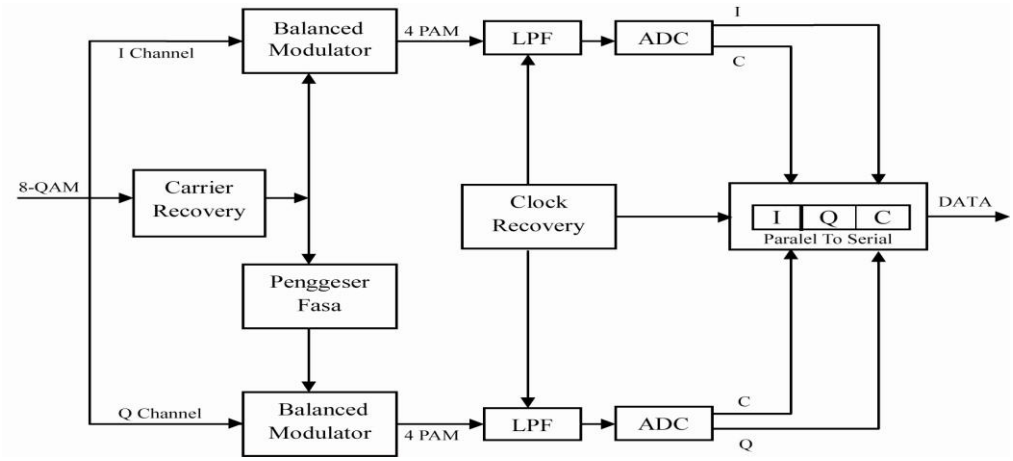
Sehingga tegangan keluaran dari rangkaian penjumlah dapat dihitung dengan rumus :

$$V_{out} = -[(R_f/R_1) \times V_{in}1 + (R_f/R_2) \times V_{in}2] \quad \ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots \quad (3.3)$$

Karena tanpa penguatan, maka $R_1 = R_2 = R_f$.

3.2 Pembuatan Demodulator 8-QAM

Dalam Pembuatan Demodulator 8-QAM ini, berdasarkan pada blok diagram demodulator 8-QAM seperti pada gambar 3.8 berikut ini:



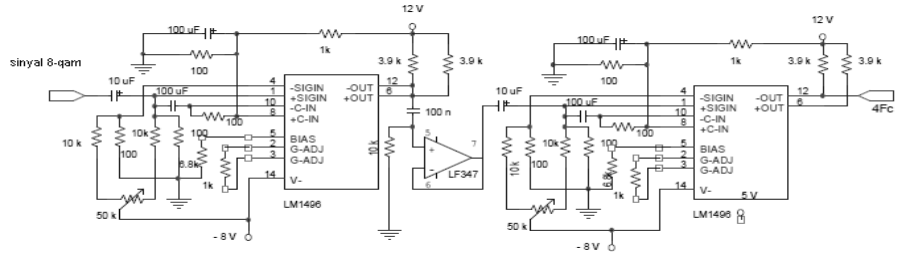
Gambar 3.8 Blok Diagram Demodulator 8-QAM

3.2.1 Carrier Recovery

Pada demodulator rangkaian *carrier recovery* berfungsi sebagai pembangkit sinyal pembawa seperti osilator membangkitkan sinyal pembawa pada modulator. Pada perancangan ini digunakan metode *Fourth Power Loop*. Pada metode ini sinyal 8-QAM yang masuk dipangkatkan empat untuk menghilangkan pengaruh sinyal modulasi sebelum diumpankan ke PLL dan pembagi empat sehingga diperoleh sinyal dengan frekuensi dan fasa yang singkron dengan sinyal pembawa pada modulator.

A. Pemangkat Empat.

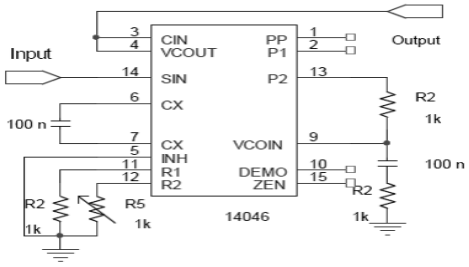
Dalam Tugas Akhir ini, rangkaian pemangkat empat direalisasikan dengan mengkaskadekan dua buah rangkaian pengkuadrat sehingga diperoleh sinyal dengan frekuensi 4fc. Pada perancanan, digunakan IC *Balanced Modulator* MC1496 sebagai pengali sinyal antara dua frekuensi. MC 1496 akan berfungsi sebagai pengganda frekuensi ketika suatu sinyal yang sama dimasukkan pada kedua port masukannya (pin 1 dan 10). Suatu penyangga (*buffer*) antara rangkaian pengkuadrat satu dengan lain dibutuhkan agar sinyal yang dihasilkan rangkaian sebelumnya tidak cacat atau rusak akibat efek pembebanan, diwujudkan dengan menggunakan penguat operasional.



Gambar 3.9 Rangkaian Pengkuadrat

B. Phase Locked Loop

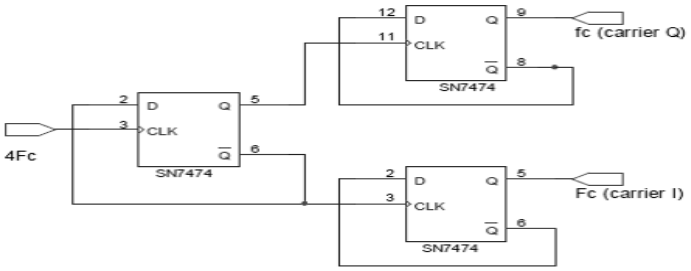
Sinyal keluaran dari pemangkat empat diumpankan ke *phase locked loop* agar keluarannya terkunci dengan frekuensi dan fasa yang sama dengan sinyal keluaran rangkaian pemangkat. Rangkaian *phase locked loop* diwujudkan dengan rangkaian terintegrasi MC14046 ditunjukkan pada Gambar 3.10.



Gambar 3.10 Rangkaian *Phase Locked Loop* IC MC14046

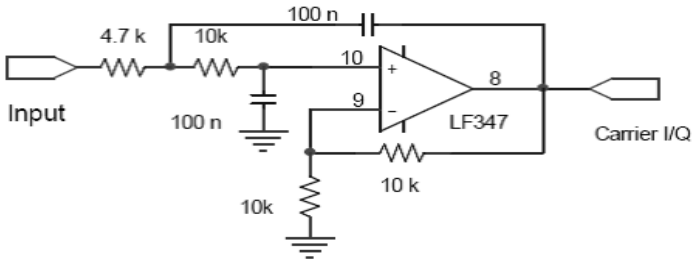
C. Pembagi Empat

Untuk mendapatkan kembali sinyal dengan frekuensi fc setelah dipangkatkan empat, maka sinyal keluaran PLL harus dilewatkan dahulu pada rangkaian pembagi empat. Rangkaian ini dapat direalisasikan dengan menggunakan tiga buah D Flip-Flop seperti ditunjukkan pada Gambar 3.11.



Gambar 3.11 Rangkaian Pembagi Empat

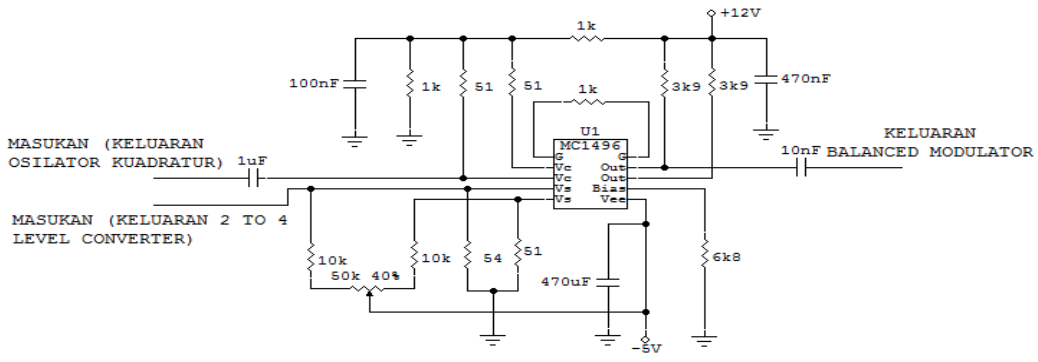
Untuk mendapatkan sinyal sinusoidal, maka detak keluaran pembagi empat harus dilewatkan pada *low pass filter*. Filter akan menahan harmonisa-harmonisa pembentuk sinyak kotak dan melewatkan sinyal fundamentalnya yang berbentuk sinyal sinusoidal dengan frekuensi yang sama. Rangkaian LPF pembentuk sinusoidal dapat dilihat pada Gambar 3.12.



Gambar 3.12 LPF Pembentuk Sinussoida

3.2.2 Balanced Modulator

Balanced Modulator merupakan rangkaian pemodulasi dimana keluaran dari modulator ini merupakan perkalian dua sinyal masukan, dalam hal ini masukan sinyal pembawa yang berupa gelombang sinusoidal akan dikalikan dengan keluaran dari modulator, sehingga sinyal yang keluar adalah sinyal modulasi yang dihasilkan oleh modulator berupa 4 level PAM (*Pulse Amplitude Modulation*).



Gambar 3.13 Rangkaian Balanced Modulator

3.2.3 Low Pass Filter

Sinyal keluaran dari rangakaian balanced modulator terdiri dari sinyal frekuensi rendah yang merupakan bakal sinyal informasi dan sinyal frekuensi tinggi. Untuk meloloskan sinyal informasi dan menekan sinyal frekuensi tinggi maka sinyal hasil perkalian filter dengan low pass filter. Dalam perancangan Tugas Akhir ini digunakan LPF jenis Butterwort dimana filter ini mempunyai kelebihan karena fasanya hampir linier, dan mempunyai penguat yang lebih besar yaitu sebesar 1.586 kali penguat, yang diharapkan distorsi amplitudo maupun fasa sinyal informasi keluaran filter dapat ditekan sekecil mungkin.

Perhitungan LPF orde 2:

Dari tabel LPF fungsi Butterwort didapat untuk orde 2 harga K = 1 dan

= ……...……..(3.4)

Untuk K= 1, fo = 2400 Hz dan C= 22 nf

Maka R=

R= 3014,2Ω

Untuk penguat :

= 3-α

= 3-1,4141

= 1,586

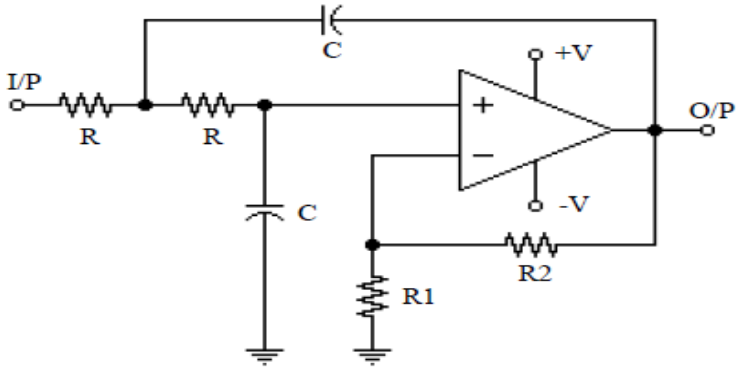
dan untuk menentukan harga dan :

= ……..(3.5)

1,586 – 1=

0,586 =

maka harga : = 1KΩ dan = 0,586KΩ



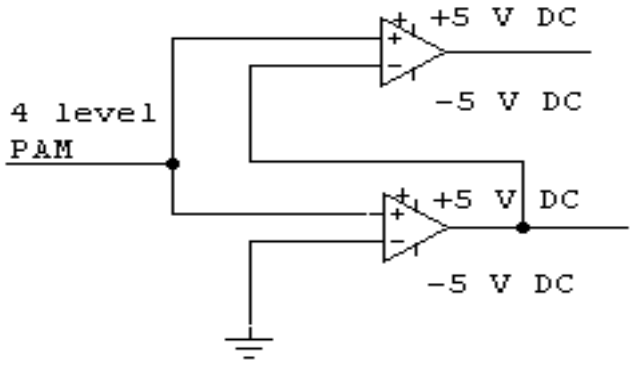
Gambar 3.14 Rangkaian Low Pass Filter Butterworth Orde Dua

3.2.4 Analog To Digital Converter

Pengubah sinyal analog ke digital atau ADC (*Analog To Digital Converter*) tidak mempunyai pengaruh secara matematis, teteapi hanya mengubah bentuk sinyal analog kedalam bentuk sinyal digital.

Rangkaian pengubah 4 level ke 2 mempunyai prinsip kerja yang sama dengan mengubah analog ke digital, ketika 4 level input dikonversikan ke 2 level input seperti terlihat pada gambar 3.19. Pada gambar tersebut menerima tegangan sebesar 8,533 V DC U1 (Op-Amp1) akan menganal level tersebut sebagai level positif dan dibangitkan dengan ground sehingga akan menghasilkan output +5 V DC.

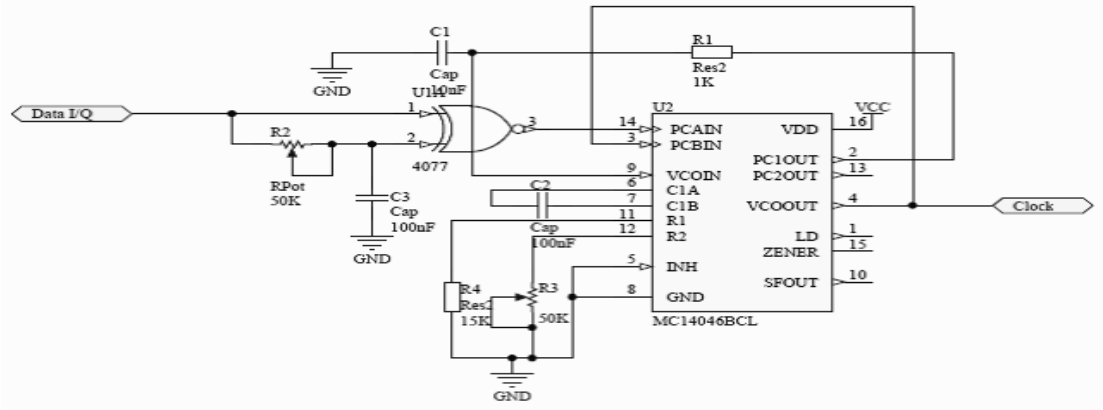
Pada rangkaian ini 5 V DC mewakili logika “1”, itu sama seperti +5 V DC dihubungkan ke input noninverting U2 (Op-Amp2) dimana +5 V DC dihubungkan ke inverting terminal positif dari +5 V DC dan -5 V DC ini sebagai bit “C” bit, pada rangkaian ini -5 V DC sebagai Logika “0” sama seperti yang dihasilkan bit input pada pengubah 2 ke 4 level.



Gambar 3.15 Rangkaian Pengubah Analog ke Digital

3.2.5 Clock Recovery

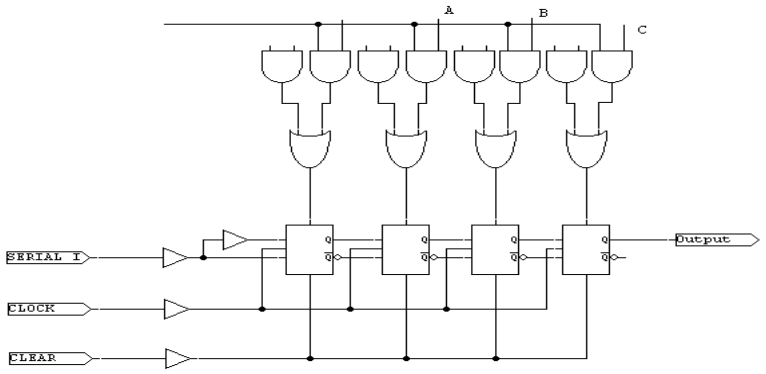
Pada demodulator untuk menghasilkan detak yang singkron dibutuhkan suatu rangkaian *clok recovery* yang dihasilkan dari data parallel. *Clock recovery* direalisasikan dengan beberapa rangkaian, yaitu rangkaian delay, PLL dan D Flip-Flop, adapun diagram blok dan rangkaian lengkap dapat dilihat pada Gambar 3.16.



Gambar 3.16 Rangkaian pemulih detak

3.2.6 Parallel to Serial Converter

Rangkaian pengkonversi data paralel menjadi data seri (*parallel to serial converter*) merupakan akhir dari sistem demodulator. Dalam perancangan konversi data paralel ke seri dapat direalisasikan dengan beberapa komponen digital yang dapat dijelaskan pada Gambar 3.26. Adapun D Flip-Flop yang dipakai adalah jenis IC 74LS74, gerbang AND (IC 74LS08), OR (IC 7432) dan NOT (74LS04).



Gambar 3.17 Rangkaian Pengubah Paralel ke Serial