PERCOBAAN DIGITAL 06

SHIFT REGISTER

6.1. TUJUAN PERCOBAAN

Mahasiswa/i mengenal, mengerti dan memahami cara kerja register.

6.2. TEORI DASAR

Register adalah suatu rangkaian logika yang berfungsi untuk menyimpan data atau informasi. Secara elektronik, register dapat dibangun oleh satu atau beberapa FF. Setiap FF hanya mampu menyimpan data 1 bit. Ini berarti untuk menyimpan data 4 bit diperlukan empat buah FF. Dalam hal ini, FF Data merupakan jenis FF yang banyak digunakan dalam menyusun rangkaian register, karena FF Data dapat merekam dan menahan data. Keluaran FF ini akan berubah sesuai dengan data yang dimasukkan ketika clock-nya mulai naik. dan kondisi clock tinggi. Proses ini dinamakan '*proses merekam data*'. Sedangkan ketika clock-nya mulai turun dan kondisi clock rendah, maka nilai keluaran dari FF Data tidak dapat berubah. Proses ini dinamakan '*proses menahan atau menyimpan data*'.

Ada dua cara penyimpanan data pada Register lebih dari satu bit, yaitu :

- Penyimpanan data secara seri
- Penyimpanan data secara paralel

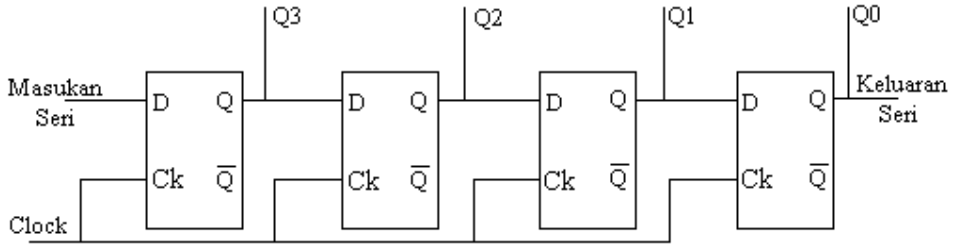
Sedangkan cara mengeluarkan data dari register dapat dilakukan melalui dua mekanisme, yaitu :

- Pengeluaran data secara seri
- Pengeluaran data secara paralel

A. Penyimpanan data secara seri

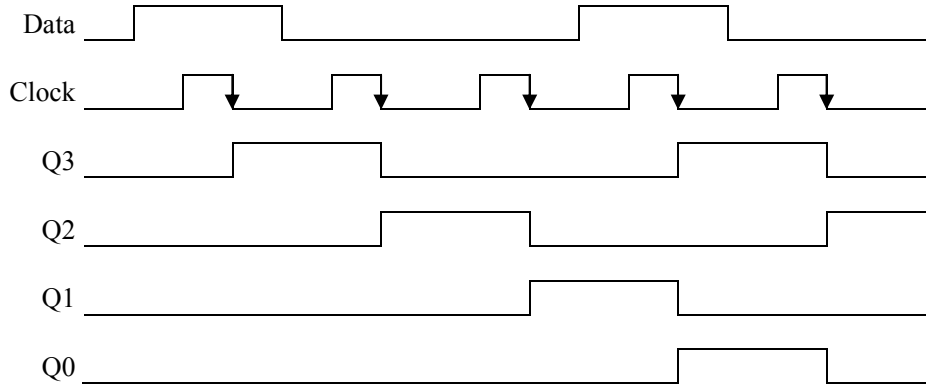
Penyimpanan data secara seri dilakukan dengan memasukkan data per bit, misalnya dari FF paling kiri digeser per bit ke kanan sampai semua FF terisi. Penyimpanan seperti ini dinamakan "*penyimpanan data geser kanan*". Penggeseran data ini dikendalikan melalui sinyal clock.

Gambar 6.1 merupakan rangkaian penyimpanan data secara seri, yang menggunakan FF data. Misalkan FF data yang dipilih akan mengambil data ketika sinyal clock mulai turun (*trailing-edge*). Pengambilan data terjadi ketika sinyal clock bernilai rendah dan penahanan data dilakukan ketika sinyal clock bernilai tinggi.



Gambar 6.1. Rangkaian Penyimpanan Data Secara Seri

Pada Gambar 6.1 terlihat bahwa keluaran Q_3, Q_2 dan Q_1 merupakan masukan data bagi FF berikutnya. Berikut ini disajikan sebuah contoh bentuk sinyal yang dihasilkan oleh register diatas dalam bentuk diagram waktu (Gambar 6.2). Pada Gambar 6.2 terlihat bahwa data yang dimasukkan ke FF paling kiri digeser ke kanan secara berkesinambungan dan untuk menyimpan data 4 bit secara seri dibutuhkan empat kali perioda clock.

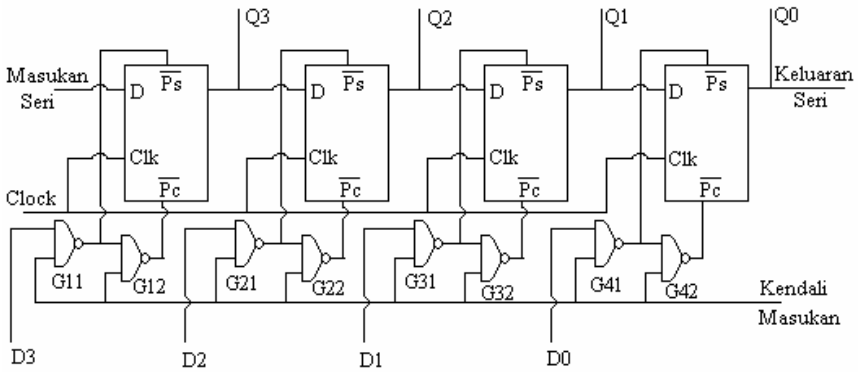


Gambar 6.2. Diagram Waktu Pengambilan Data Secara Seri

B. Penyimpanan data secara paralel

Penyimpanan data secara paralel dapat dipahami sebagai pemasukan data D_3, D_2, D_1, dan D_0 berturut-turut dengan keluaran Q_3, Q_2, Q_1, dan Q_0, secara serentak atau bersamaan (Gambar 6.3). Misalkan FF data yang digunakan dalam rangkaian ini akan mengambil data ketika sinyal clock berubah menjadi tinggi dan selama sinyal clock bernilai tinggi. Pada saat sinyal clock bernilai rendah, keluaran FF dalam keadaan stabil (menahan data). Masukan seri maupun clock dapat dipasang pada nilai rendah, sehingga data masukan seri tidak mengubah keluaran. Cara kerja dari rangkaian penyimpan data secara paralel dapat dijelaskan sebagai berikut:

* Ketika Kendali Masukan bernilai "0", maka keluaran dari gerbang G_{11} sampai dengan G_{42} selalu bernilai "1". Ini berarti bahwa sinyal Preset dan sinyal Preclear bernilai "1". Karena Preset dan Preclear dinyatakan aktif rendah, maka FF berfungsi normal. Namun karena clock bernilai nol, maka keluaran FF akan stabil (menahan data semula).



Gambar 6.3. Rangkaian Penyimpanan Data Secara Paralel

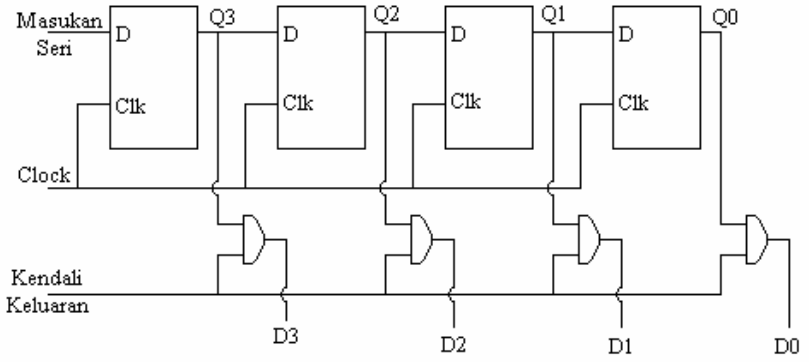
* Ketika Kendali Masukan diberi nilai "1", maka keluaran seluruh gerbang G_{11} sampai G_{42} bergantung kepada data yang dimasukkan. Bila datanya "0", maka $\overline{Ps} = 1$ dan $\overline{Pc} = 0$ sehingga keluaran FF yang bersangkutan akan sama dengan "0". Selanjutnya jika data yang masuk adalah "1", maka $\overline{Ps} = 0$ dan $\overline{Pc} = 1$ sehingga keluaran pada FF yang bersangkutan adalah "1". Ini berarti ketika Kendali Masukan bernilai "1", keluaran pada masing-masing FF akan sama dengan nilai data yang akan disimpan dan dapat dikatakan register dalam proses menyimpan data.

C. Pengeluaran data secara seri

Gambar 6.1 maupun Gambar 6.3 memperlihatkan adanya label "Keluaran Seri" pada FF paling kanan. Hal ini dimaksudkan bahwa register tersebut dapat mengeluarkan data secara seri. Data akan keluar bit demi bit ke kanan dengan pengendalian sinyal clock. Artinya, data yang disimpan ke register secara seri maupun paralel, dapat dikeluarkan secara seri. Sehingga dapat disimpulkan bahwa cara mengeluarkan data dari suatu register tidak bergantung kepada mekanisme penyimpanan datanya.

D. Pengeluaran data secara paralel

Mekanisme pengeluaran data secara paralel dapat dijelaskan dengan memperhatikan Gambar 6.4. Gerbang AND pada gambar tersebut memiliki masukan dari keluaran FF dan sinyal Kendali Keluaran. Keluaran dari gerbang AND adalah data yang dikeluarkan dari register.



Gambar 6.4. Rangkaian Pengeluaran Data Secara Paralel

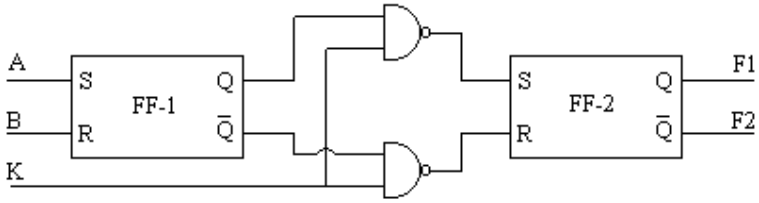
Ketika Kendali Keluaran bernilai "0", maka semua gerbang AND akan memiliki keluaran "0". Tetapi ketika Kendali keluaran bernilai "1", maka isi register akan dikeluarkan secara bersamaan, dan dapat dibaca dari D_3, D_2, D_1 dan D_0. Dengan demikian penambahan gerbang AND pada rangkaian tersebut berguna untuk mengatur kapan saatnya data yang tersimpan dalam register tersebut akan dikeluarkan. Data akan dikeluarkan jika Kendali keluaran diberi nilai "1".

6.3 ALAT-ALAT PERCOBAAN

- Modul Perangkat Praktikum Rangkaian Digital
- IC TTL 7475, 74166, dan 74195
- IC NE555

6.4. TUGAS PENDAHULUAN

1. Bagaimana hubungan antara keluaran FF 2 dan keluaran FF 1 pada gambar dibawah:
   a. Ketika sinyal kendali K = 0 dan ketika sinyal kendali K = 1
   b. Simpulkan kegunaan dua gerbang NAND dan kendali sinyal K

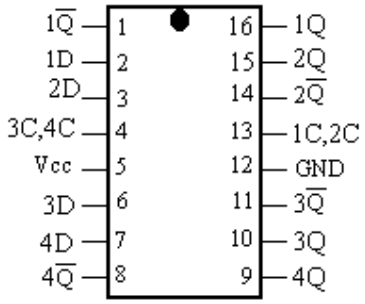


2. Penyimpanan data secara seri pada gambar 6.1 akan menggeser data ke kanan, artinya data yang dimasukkan mulai dari LSB ke MSB. Modifikasi rangkaian tersebut untuk menggeser data ke kiri (dimasukkan dari MSB ke LSB).
3. Uraikan dan jelaskan bagaimana kerja FF data yang mulai merekam data pada saat :
   a. Sinyal Clock mulai naik (*Raising Edge*)
   b. Sinyal Clock mulai turun (*Trailing Edge*)

6.5. PERCOBAAN

A. Percobaan Pertama

1. Pasangkan IC 7475 pada projectboard dan hubungkan pin 5 pada Vcc dan pin 12 pada ground. Susunlah rangkaian seperti Gambar 6.1 menggunakan IC 7475 (Gambar 6.5).
2. Hubungkan masukan seri dan clock pada saklar masukan serta keluaran Q_3, Q_2, Q_1, dan Q_0 pada LED peraga.
3. Mintalah pembimbing praktikum memeriksa rangkaian yang telah disusun. Jika rangkaian sudah benar, hidupkan catu daya dan pastikan kondisi masukan seri '1'.
4. Ubahlah sinyal clock dan catat hasil pengamatan pada tabel yang tersedia. (Jika ada masalah dengan saklar clocknya' gunakan clock keluaran dari IC NE555).



Gambar 6.5. Konfigurasi pin IC TTL 7475

Tabel 6.1. Hasil Percobaan Pertama

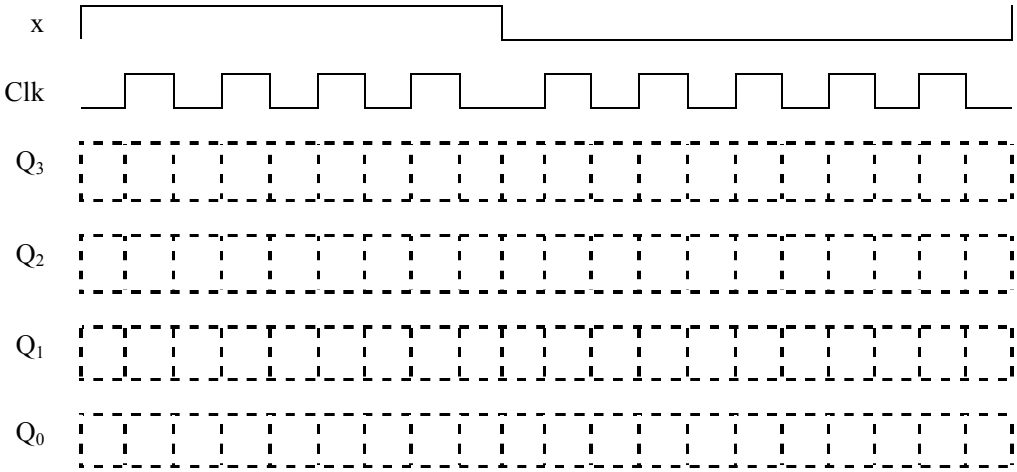
X	CLK	Q_3	Q_2	Q_1	Q_0
1	0	....	....	....	....
1	1	....	....	....	....
1	0	....	....	....	....
1	1	....	....	....	....
1	0	....	....	....	....
1	1	....	....	....	....
1	0	....	....	....	....
1	1	....	....	....	....
1	0	....	....	....	....
1	0	....	....	....	....
1	1	....	....	....	....

x	Clk	Q3	Q2	Q1	Q0
0	0	....	....	....	....
0	1	....	....	....	....
0	0	....	....	....	....
0	1	....	....	....	....
0	0	....	....	....	....
0	1	....	....	....	....
0	0	....	....	....	....
0	1	....	....	....	....
0	0	....	....	....	....
0	1	....	....	....	....
0	0	....	....	....	....

5. Tanpa mematikan catu daya, ulangi percobaan A-5 dengan memasang sinyal masukan seri pada posisi '0'. Isikan data pengamatan pada tabel yang tersedia.

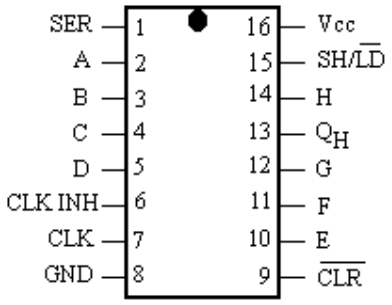
6. Mintalah pembimbing praktikum memeriksa hasil pengamatan. Jika data sudah benar, matikan catu daya dan lepas semua kabel dan IC yang terpasang.

7. Gambarkan sinyal yang diperoleh dalam bentuk diagram waktu.



B. Percobaan Kedua

1. Pasangkan IC 74166 pada projectboard. Hubungkan pin 16 pada Vcc dan pin 8 pada ground.
2. Hubungkan pin 15 (SH/$\overline{\text{LD}}$) pada Vcc untuk memanfaatkan IC 74166 sebagai register masukan seri.
3. Hubungkan pin 1 (masukan seri "SER") pada saklar masukan serta pin 13 (Q_H) dan pin 14 ($\overline{Q}$) dengan LED peraga.
4. Hubungkan pin 7 (CLK) pada saklar masukan.
5. Hubungkan pin 9 ($\overline{CLR}$) dan 6 (CLKINH) pada ground.
6. Mintalah pembimbing praktikum memeriksa rangkaian yang telah disusun. Jika rangkaian sudah benar, hidupkan catu daya dan pindahkan sinyal $\overline{CLR}$ pada Vcc.
8. Ubahlah sinyal clock dan isikan data pengamatan pada tabel setiap perubahan nilai sinyal clock.



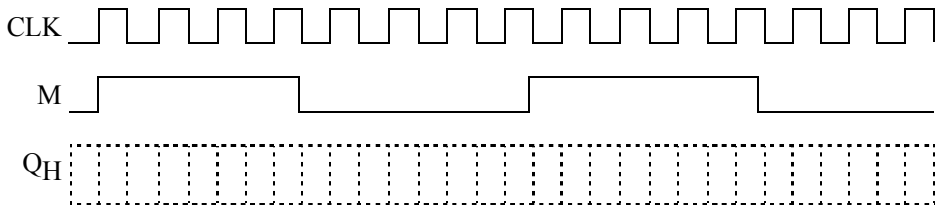
Gambar 6.6. Konfigurasi Pin IC TTL 74166

Tabel 6.2. Hasil Percobaan Kedua

M	Ck	Q
1	0	....
1	1	....
1	0	....
1	1	....
1	0	....
1	1	....
1	0	....
1	1	....
0	0	....
0	1	....
0	0	....
0	1	....
0	0	....
0	1	....
0	0	....
0	1	....

M	Ck	Q
1	0	....
1	1	....
1	0	....
1	1	....
1	0	....
1	1	....
1	0	....
1	1	....
0	0	....
0	1	....
0	0	....
0	1	....
0	0	....
0	1	....
0	0	....
0	1	....

9. Mintalah pembimbing praktikum memeriksa hasil pengamatan. Jika data sudah benar, matikan catu daya.
10. Gambarkan sinyal yang diperoleh dalam bentuk diagram waktu.



C. Percobaan Ketiga

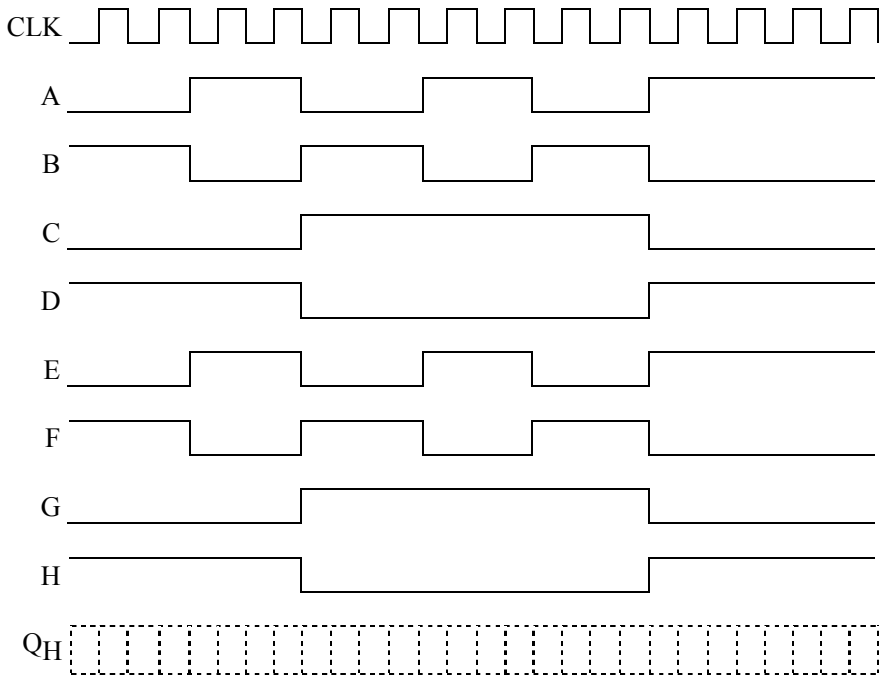
1. Pindahkan hubungan pin 15 (SH/$\overline{\text{LD}}$) pada ground untuk memanfaatkan IC 74166 sebagai register dengan masukan paralel.
2. Gabungkan pin A dengan E, B dengan F, C dengan G, dan D dengan H (perhatikan gambar 6.7), kemudian hubungkan pin-pin tersebut berturut-turut dengan saklar masukan dari kiri ke kanan.
3. Hidupkan catu daya dan hubungkan sinyal $\overline{CLR}$ sebentar ke ground kemudian pasang secara permanen pada Vcc.
4. Variasikan sinyal-sinyal masukan dan isikan data pengamatan pada tabel dibawah.

Tabel 6.3. Hasil Percobaan Ketiga

A-E	B-F	C-G	D-H	Clk	Q_H
0	1	0	1	0	.....
0	1	0	1	1	.....
0	1	0	1	0	.....
0	1	0	1	1	.....
1	0	0	1	0	.....
1	0	0	1	1	.....
1	0	0	1	0	.....
1	0	0	1	1	.....
0	1	1	0	0	.....
0	1	1	0	1	.....
0	1	1	0	0	.....
0	1	1	0	1	.....
1	0	1	0	0	.....
1	0	1	0	1	.....

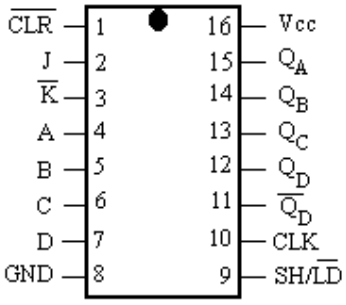
A-E	B-F	C-G	D-H	Clk	Q_H
1	0	1	0	0	.....
1	0	1	0	1	.....
0	1	1	0	0	.....
0	1	1	0	1	.....
0	1	1	0	0	.....
0	1	1	0	1	.....
1	0	0	1	0	.....
1	0	0	1	1	.....
1	0	0	1	0	.....
1	0	0	1	1	.....
1	0	0	1	0	.....
1	0	0	1	1	.....
1	0	0	1	0	.....
1	0	0	1	1	.....

5. Mintalah pembimbing praktikum memeriksa hasil pengamatan. Jika data sudah benar, matikan catu daya dan lepas semua kabel dan IC yang terpasang.
6. Gambarkan Sinyal yang diperoleh dalam bentuk diagram waktu.



D. Percobaan Keempat

1. Pasangkan IC TTL 74195 pada projectboard. Hubungkan pin 16 pada Vcc dan pin 8 pada ground.
2. Hubungkan pin 9 (SH/$\overline{\text{LD}}$) pada saklar masukan dengan kondisi awal '1' (memanfaatkan IC 74195 sebagai register masukan seri.) dan pin 3 pada ground.
3. Satukan pin J dan $\overline{\text{K}}$ (untuk mendapatkan FF Data) kemudian hubungkan dengan saklar masukan. Sebut sinyal ini dengan D.
4. Hubungkan keluaran Q_A, Q_B, Q_C, dan Q_D dengan LED peraga.
5. Hubungkan pin 10 (CLK) pada saklar masukan dan pin 1 ($\overline{CLR}$) pada ground.
6. Mintalah pembimbing praktikum memeriksa rangkaian yang telah disusun. Jika rangkaian sudah benar, hidupkan catu daya dan pindahkan sinyal $\overline{\text{CLR}}$ ke Vcc.
7. Lakukan pengamatan dengan membuat variasi nilai seperti pada tabel dibawah ini.



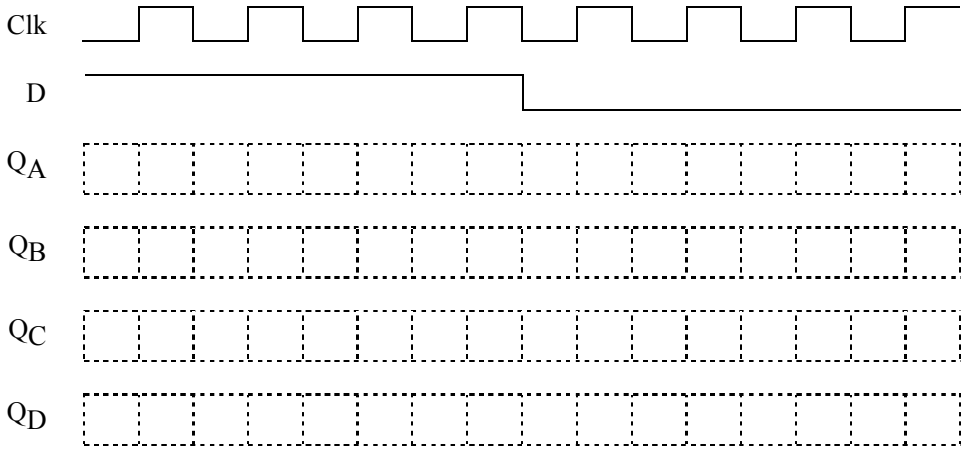
Gambar 6.7. Konfigurasi pin IC TTL 74195

Tabel 6.4. Hasil Percobaan Keempat

D	Clk	Q_A	Q_B	Q_C	Q_D
1	0	....	....	....	....
1	1	....	....	....	....
1	0	....	....	....	....
1	1	....	....	....	....
1	0	....	....	....	....
1	1	....	....	....	....
1	0	....	....	....	....
1	1	....	....	....	....

D	Clk	Q_A	Q_B	Q_C	Q_D
0	0	....	....	....	....
0	1	....	....	....	....
0	0	....	....	....	....
0	1	....	....	....	....
0	0	....	....	....	....
0	1	....	....	....	....
0	0	....	....	....	....
0	1	....	....	....	....

8. Mintalah pembimbing praktikum memeriksa hasil pengamatan. Jika data sudah benar, matikan catu daya dan lepas semua kabel dan IC yang terpasang.
9. Gambarkan sinyal yang diperoleh dalam bentuk diagram waktu.



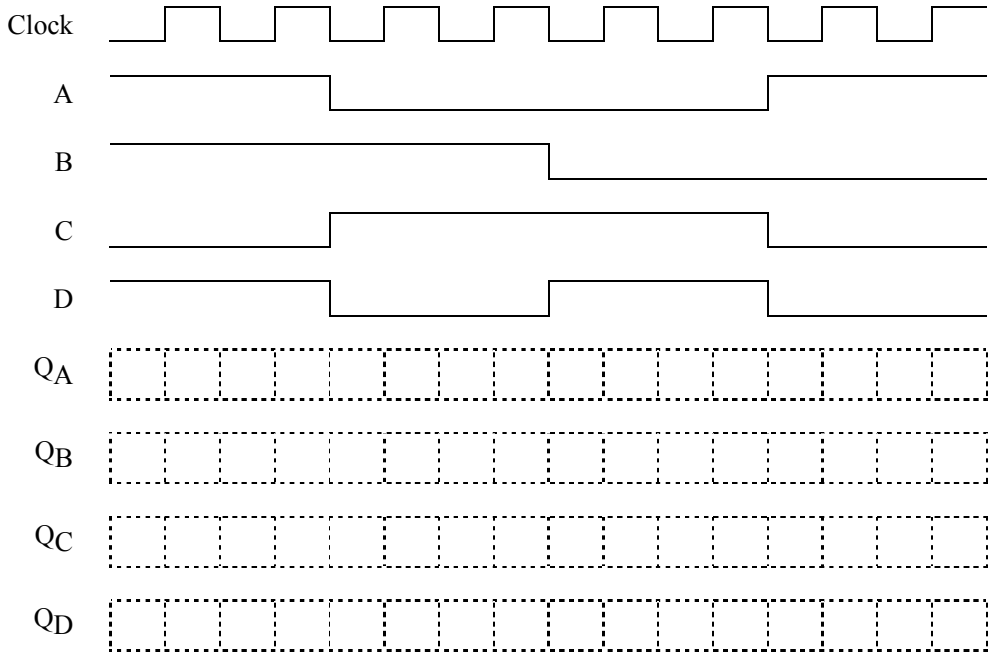
E. Percobaan Kelima

1. Hubungkan pin 9 ($SH/\overline{LD}$) pada saklar masukan dengan kondisi awal ‘0’ (memanfaatkan IC 74195 sebagai register masukan paralel).
2. Lepaskan hubungan pin J dan $\overline{K}$, kemudian hubungkan pin-pin A, B, C, dan D serta clock pada saklar masukan dengan kondisi awal ‘0'.
3. Mintalah pembimbing praktikum memeriksa rangkaian yang telah disusun. Jika rangkaian sudah benar, hidupkan catu daya variasikan sinyal masukan dan clocknya seperti pada tabel dibawah. Perubahan sinyal masukan dilakukan lebih dulu dari perubahan clocknya.

Tabel 6.5. Hasil Percobaan Kelima

Clk	A	B	C	D	Q_A	Q_B	Q_C	Q_D
0	1	1	0	1	....	....	....	....
1	1	1	0	1	....	....	....	....
0	1	1	0	1	....	....	....	....
1	1	1	0	1	....	....	....	....
0	0	1	1	0	....	....	....	....
1	0	1	1	0	....	....	....	....
0	0	1	1	0	....	....	....	....
1	0	1	1	0	....	....	....	....
0	1	0	1	1	....	....	....	....
1	1	0	1	1	....	....	....	....
0	1	0	1	1	....	....	....	....
1	1	0	1	1	....	....	....	....
0	0	0	0	0	....	....	....	....
1	0	0	0	0	....	....	....	....
0	0	0	0	0	....	....	....	....
1	0	0	0	0	....	....	....	....

4. Mintalah pembimbing praktikum memeriksa hasil pengamatan. Jika data sudah benar, matikan catu daya dan lepas semua kabel dan IC yang terpasang.
5. Gambarkan sinyal yang diperoleh dalam bentuk diagram waktu.



6.6. TUGAS AKHIR

Buatlah kesimpulan dari data yang diperoleh dari percobaan yang telah dilakukan.

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Tgl. Praktikum : .....

Kel. Praktikum : .....

Pemeriksa,

_____