PERCOBAAN DIGITAL 05

FLIP-FLOP

5.1. TUJUAN

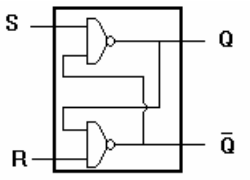
1. Mengenal, mengerti dan memahami operasi dasar rangkaian flip-flop.
2. Mengenal berbagai macam IC flip-flop.

5.2. TEORI DASAR

Pemahaman terhadap rangkaian Flip-Flop (FF) ini sangat penting karena FF merupakan sel memori. Keadaan keluaran FF dapat berada dalam keadaan tinggi atau keadaan rendah, untuk selang waktu yang dikehendaki. Biasanya untuk mengubah keadaan tersebut diperlukan suatu masukan pemicu. Berikut ini akan diuraikan secara singkat tentang berbagai tipe FF.

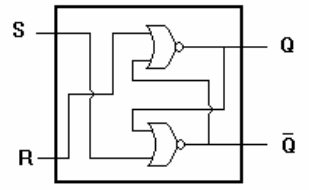
A. Flip-Flop SR

Flip-Flop SR merupakan rangkaian dasar untuk menyusun berbagai jenis FF yang lainnya. FF-SR dapat disusun dari dua gerbang NAND atau dua gerbang NOR seperti pada gambar 5.1 dan 5.2.



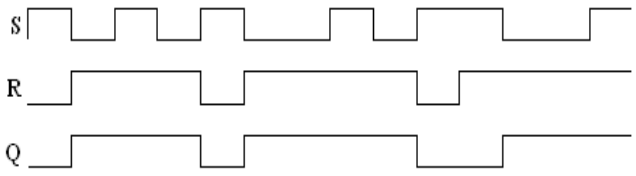
Gambar 5.1.
FF SR dari gerbang NAND

S	R	Q_{n+1}	Keterangan
0	1	1	Set
1	0	0	Reset
1	1	Q_n	Menahan
0	0	Don't Care	Terlarang



Gambar 5.2.
FF SR dari gerbang NOR

S	R	Q_{n+1}	Keterangan
0	1	0	Reset
1	0	1	Set
0	0	Q_n	Menahan
1	1	Don't Care	Terlarang

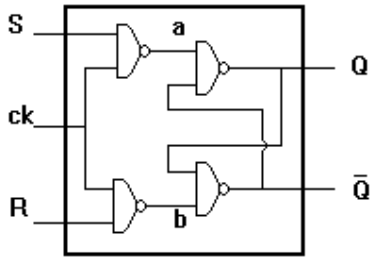


Gambar 5.3. Sinyal keluaran pada FF SR

Gambar 5.3 menunjukkan bentuk diagram waktu keluaran dari FF SR dengan menggunakan gerbang NAND.

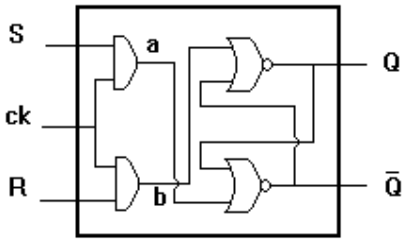
B. Flip-Flop SR Terlonceng

FF jenis ini dapat dirangkai dari FF-SR ditambah dengan dua gerbang AND atau NAND untuk masukan pemicu yang disebut dengan sinyal clock (CK).



Gambar 5.4.
FF terlonceng dari NAND

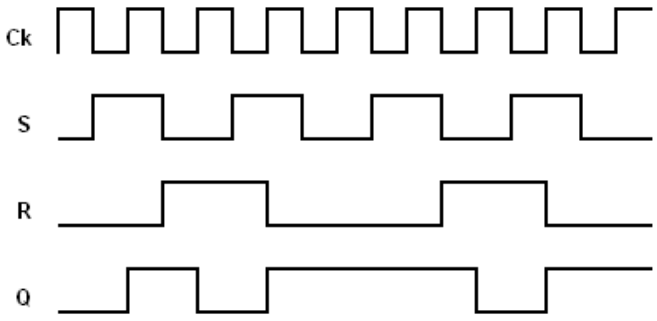
ck	S	R	a	b	Q_{n+1}
0	0	0	1	1	Q_n
0	0	1	1	1	Q_n
0	1	0	1	1	Q_n
0	1	1	1	1	Q_n
1	0	0	1	1	Q_n
1	0	1	1	0	0
1	1	0	0	1	1
1	1	1	0	0	Don't Care



Gambar 5.5.
FF terlonceng dari NOR

ck	S	R	a	b	Q_{n+1}
0	0	0	0	0	Q_n
0	0	1	0	0	Q_n
0	1	0	0	0	Q_n
0	1	1	0	0	Q_n
1	0	0	0	0	Q_n
1	0	1	0	1	0
1	1	0	1	0	1
1	1	1	1	1	Don't Care

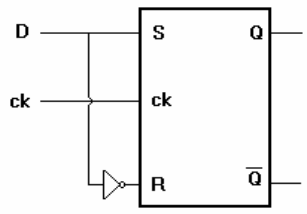
Dari tabel kebenaran di atas, terlihat bahwa FF SR bekerja pada saat sinyal clock '1' (tinggi), sedangkan saat sinyal clock '0' (rendah), keluaran Q akan mempertahankan keadaan terakhir. Sebagai ilustrasi, berikut ini diberikan contoh bentuk sinyal Q.



Gambar 5.6. Hubungan antara Q dengan S,R dan clock.

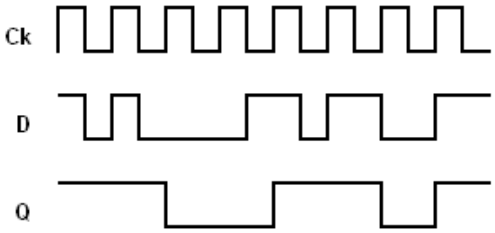
C. Flip-Flop Data

Pada FF-SR terdapat kondisi masukan yang terlarang. Kondisi tersebut dihindari dengan menyusun suatu FF lain yang dinamakan FF Data. Rangkaian ini dapat diperoleh dengan menambahkan satu gerbang NOT pada masukan FF terlonceng sebagai berikut:



ck	D	Q
0	X	Q
1	1	1
1	0	0

Gambar 5.7.
Rangkaian FF Data

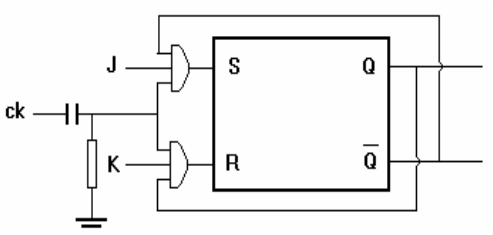


Gambar 5.8. Hubungan sinyal Q,, D dan clok

Pada Gambar 5.8 terlihat bahwa keluaran Q akan tetap "terkunci" atau "tergerendel" pada nilai terakhirnya saat sinyal clock ‘0’ (rendah). Hal ini berarti pada saat kondisi clock rendah, sinyal masukan D tidak mempengaruhi keluaran Q. Sedangkan untuk sinyal clock ‘1’ (tinggi), maka diperoleh keluaran sesuai dengan data D.

D. Flip-Flop JK

FF JK mempunyai masukan J dan K. FF ini "dipicu" oleh suatu pinggiran pulsa clock positif atau negatif. FF JK merupakan rangkaian dasar untuk menyusun sebuah pencacah. FF JK dibangun dari rangkaian dasar FF-SR dengan menambahkan dua gerbang AND pada masukan R dan S serta dilengkapi rangkaian diferensiator pembentuk denyut pulsa (gambar 5.9).



Gambar 5.9. Rangkaian FF JK

ck	J	K	Q_{n+1}
↑	0	0	Q_n
↑	0	1	0
↑	1	0	1
↑	1	1	toggle

Pada FF JK, masukan J dan K disebut masukan pengendali karena kedua masukan ini yang menentukan keadaan yang harus dipilih oleh FF pada saat pulsa clock tiba (pinggiran positif atau negatif, tergantung jenis FF-nya). FF ini berbeda dengan FF-D karena pada FF-JK masukan clock adalah masukan yang dicacah, sedangkan masukan J dan K adalah masukan yang mengendalikan FF tersebut. Cara kerja dari FF-JK adalah sebagai berikut:

1. Pada saat J dan K bernilai ‘0’ (rendah), gerbang AND tidak memberikan tanggapan sehingga keluaran Q tetap bertahan pada keadaan terakhirnya.
2. Pada saat J = 0 dan K = 1, maka FF akan direset sehingga diperoleh keluaran Q = 0 (kecuali jika FF memang sudah dalam keadaan reset atau Q memang sudah pada keadaan rendah).
3. Pada saat J = 1 dan K = 0, maka masukan ini akan mengeset FF hingga diperoleh keluaran Q = 1 (kecuali jika FF memang sudah dalam keadaan set atau Q sudah dalam keadaan tinggi).
4. Pada saat J dak K bernilai ‘1’ (tinggi), maka FF berada dalam keadaan "toggle", artinya keluaran Q akan berlawanan dengan keluaran sebelumnya.

5.3. ALAT-ALAT PERCOBAAN

- Perangkat Praktikum Digital
- IC-TTL 7400, 7402, 7408, 7474, 7475, 7473 dan 7476

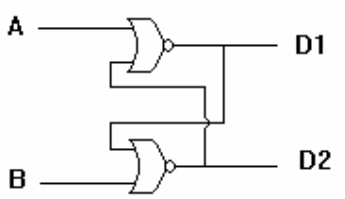
5.4. TUGAS PENDAHULUAN

1. Terangkan dengan singkat cara kerja FF SR, FF D, dan FF JK!
2. Terangkan dengan singkat tentang kerja FF Master Slave dan jelaskan pula perbedaannya dengan Flip-Flop JK?
3. Gambarkan rangkaian FF di dalam IC TTL 7473, 7474, 7475, dan 7476!
4. Gambarkan rangkaian FF T yang dibangun dari FF JK dengan menetapkan J = K = ‘1’ dan tentukan bentuk pulsa keluarannya dengan 10 pulsa clock!

5.5. PERCOBAAN

A. Percobaan Pertama

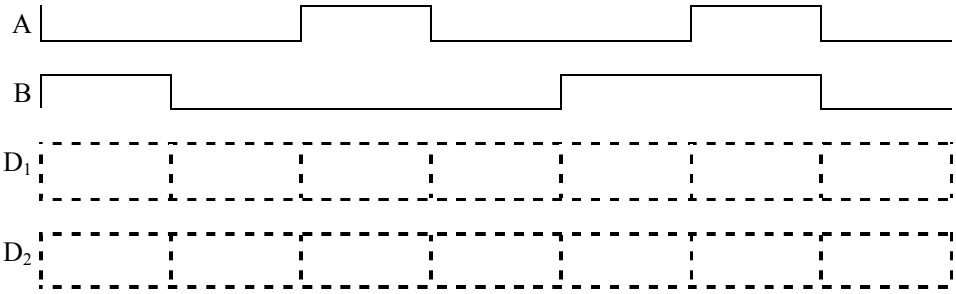
1. Pasangkan IC TTL 7402 pada projectboard. Hubungkan pin 14 pada Vcc dan pin 7 pada ground. Susunlah rangkaian seperti gambar 5.10.
2. Hubungkan masukan A dan B pada saklar masukan, dan keluaran D_1 dan D_2 pada LED peraga.
3. Mintalah pembimbing praktikum memeriksa rangkaian yang disusun. Jika rangkaian sudah benar, hidupkan catu dayanya.
4. Variasikan nilai masukan A dan B **berurutan** seperti yang tertera pada tabel, dan amati keluarannya. Tuliskan hasil pengamatan pada tabel yang telah disediakan.
5. Mintalah pembimbing praktikum memeriksa data yang diperoleh. Jika data sudah benar, matikan catu daya dan lepaskan rangkaian.



Gambar 5.10. Rangkaian Percobaan I

A	B	D1	D2
0	1	....	....
0	0	....	....
1	0	....	....
0	0	....	....
0	1	....	....
1	1	....	....

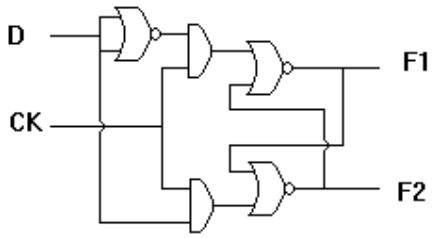
6. Gambarkan diagram waktu dari hasil yang diperoleh!



B. Percobaan Kedua

1. Pasangkan IC 7402 dan 7408 pada projectboard. Hubungkan pin 14 pada Vcc dan pin 7 pada ground. (masing-masing IC)
2. Susunlah rangkaian seperti Gambar 5.11. Sinyal masukan CK, dan D dihubungkan pada saklar-saklar masukan, dan sinyal keluaran F_1 dan F_2 pada LED peraga.
3. Mintalah pembimbing praktikum memeriksa rangkaian yang disusun. Jika rangkaian sudah benar, hidupkan catu dayanya.

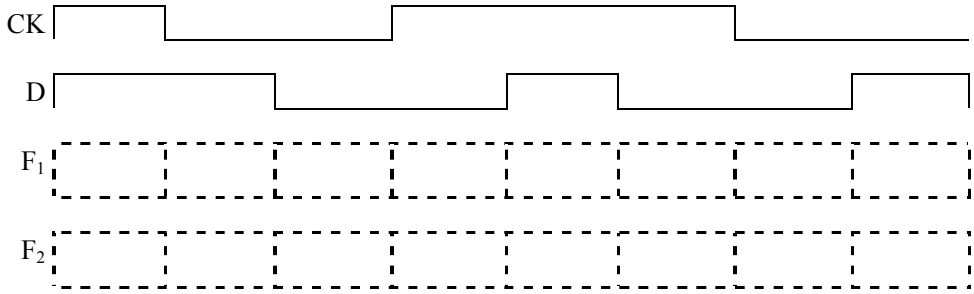
4. Variasikan nilai masukan CK dan D **berurutan** seperti tertera pada tabel, dan amati keluarannya serta tuliskan hasil pengamatan pada tabel di bawah.
5. Mintalah pembimbing praktikum memeriksa data yang diperoleh. Jika data sudah benar, matikan catu daya dan lepas rangkaian yang telah disusun.



Gambar 5.11. Rangkaian Percobaan II

CK	D	F1	F2
1	1	....	....
0	1	....	....
0	0	....	....
1	0	....	....
1	1	....	....
1	0	....	....
0	0	....	....
0	1	....	....

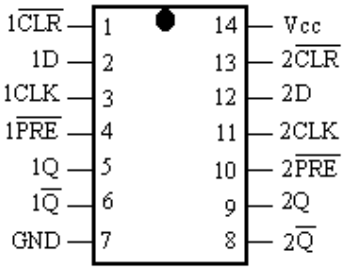
6. Gambarkan diagram waktu dari hasil yang diperoleh!



C. Percobaan Ketiga

1. Pasangkan IC 7474 pada projectboard dan hubungkan pin 14 pada Vcc dan pin 7 pada ground.
2. Satukan clock 1CLK dan 2CLK kemudian sambungkan clock tersebut dengan sinyal masukan paling kiri. (Namakan sinyal ini Clk)
3. Hubungkan pin-pin Clear dengan Vcc agar sinyal clear tidak aktif.
4. Hubungkan pin-pin Preset pada saklar masukan paling kanan dengan pada ‘0 ‘.
5. Hubungkan masukan 1D dan 2D pada saklar masukan.
6. Hubungkan sinyal-sinyal keluaran 1Q, $1\overline{Q}$, 2Q, dan $2\overline{Q}$ pada LED peraga.
7. Mintalah pembimbing praktikum memeriksa rangkaian yang telah disusun. Jika rangkaian sudah benar, hidupkan catu daya dan ubah posisi Preset pada posisi ‘1’.
8. Variasikan nilai masukan Clk, 1D, dan 2D **berurutan** seperti tertera pada tabel, dan amati keluarannya serta tuliskan hasil pengamatan pada tabel di bawah.

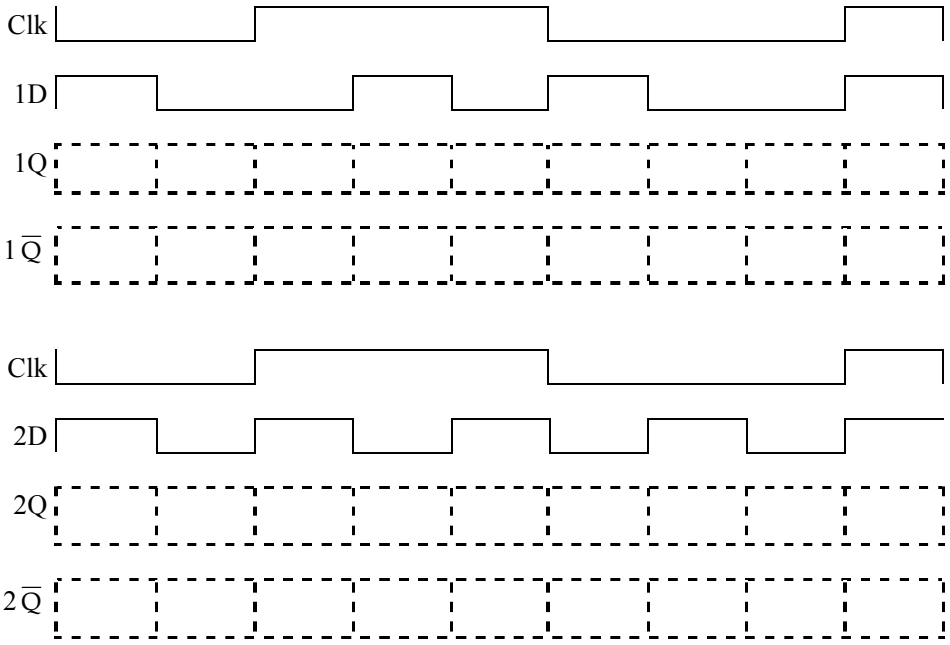
9. Mintalah pembimbing praktikum memeriksa data yang diperoleh. Jika data sudah benar, matikan catu daya dan lepas rangkaian yang telah tersusun.



Gambar 5.12.
Konfigurasi pin IC 7474

Clk	1D	2D	1Q	1$\overline{Q}$	2Q	2$\overline{Q}$
0	1	1	.....	.....	.....	.....
0	0	0	.....	.....	.....	.....
1	0	1	.....	.....	.....	.....
1	1	0	.....	.....	.....	.....
1	0	1	.....	.....	.....	.....
0	1	0	.....	.....	.....	.....
0	0	1	.....	.....	.....	.....
0	0	0	.....	.....	.....	.....
1	1	1	.....	.....	.....	.....

10. Gambarkan diagram waktu untuk masing-masing FF!

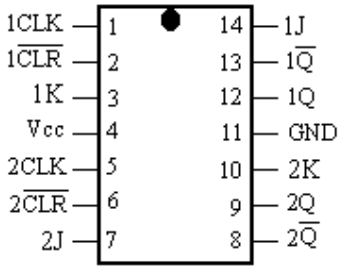


D. Percobaan Keempat

IC-TTL 7473 mengandung dua buah FF JK.

1. Pasangkan IC TTL 7473 pada projectboard dan hubungkan pin 4 pada Vcc dan pin 11 pada ground.
2. Satukan pin 1CLK dan 2CLK, dan hubungkan pada saklar masukan paling kiri.
3. Hubungkan pin-pin Clear, kemudian sambungkan pada saklar masukan paling kanan. Pastikan kondisi awal sinyal ini '0'.
4. Satukan pin 3 dan 10 kemudian hubungkan pada saklar masukan. Sinyal ini dinamakan sinyal K.

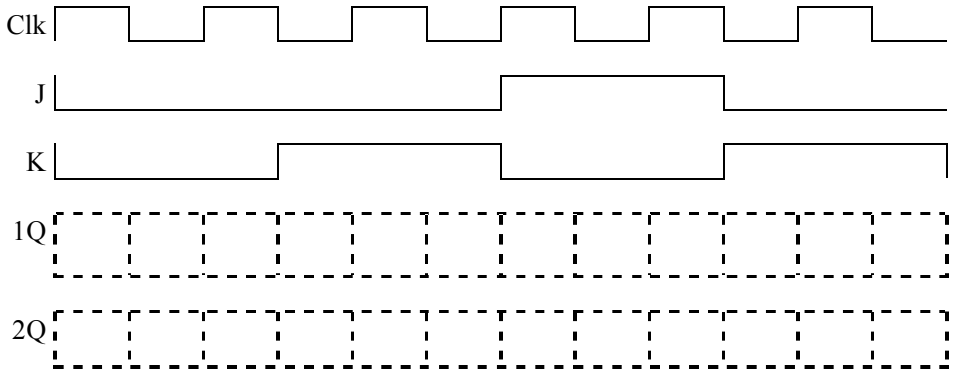
5. Satukan pin 14 dan 7 kemudian hubungkan pada saklar masukan. Sinyal ini dinamakan sinyal J.
6. Hubungkan sinyal-sinyal keluaran 1Q, dan 2Q (pin 12 dan 9) pada peraga LED.
7. Mintalah pembimbing praktikum memeriksa rangkaian yang telah disusun. Jika rangkaian sudah benar, hidupkan catu dayanya dan ubah posisi CLR pada Vcc.
8. Variasikan nilai masukan Clk, J dan K **berurutan** seperti tertera pada tabel dan amati keluarannya. Tuliskan hasil pengamatan pada tabel yang telah disediakan.



Gambar 5.13. Konfigurasi pin IC TTL 7473

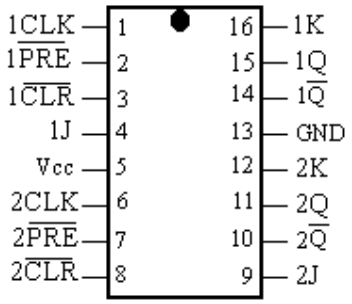
Clk	J	K	1Q	2Q
1	0	0	.....	.....
0	0	0	.....	.....
1	0	0	.....	.....
0	0	1	.....	.....
1	0	1	.....	.....
0	0	1	.....	.....
1	1	0	.....	.....
0	1	0	.....	.....
1	1	0	.....	.....
0	0	1	.....	.....
1	0	1	.....	.....
0	0	1	.....	.....

9. Mintalah pembimbing praktikum memeriksa data yang diperoleh. Jika data sudah benar, matikan catu daya dan lepas semua rangkaian yang tersusun.
10. Gambarkan diagram waktu percobaan diatas!



E. Percobaan Kelima

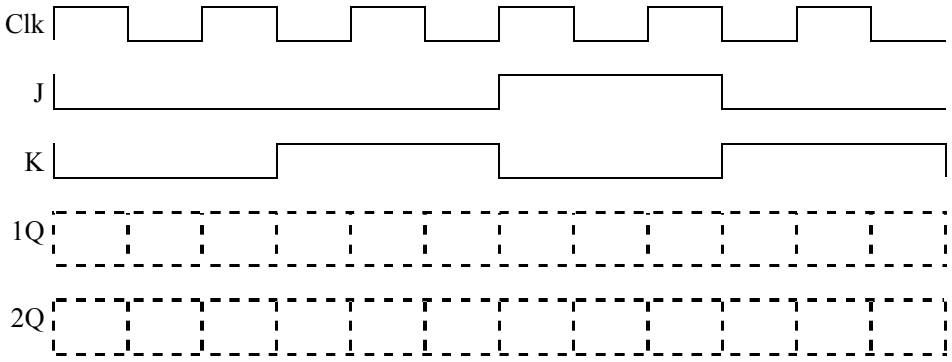
IC TTL 7476 memiliki dua buah FF JK. Berdasarkan pengalaman dari percobaan diatas, susunlah rangkaian untuk mendapatkan hubungan antara masukan dan keluaran seperti yang dinyatakan dalam tabel di bawah:



Gambar 5.14. Konfigurasi pin IC TTL 7476

Clk	J	K	1Q	2Q
1	0	0	.....	.....
0	0	0	.....	.....
1	0	0	.....	.....
0	0	1	.....	.....
1	0	1	.....	.....
0	0	1	.....	.....
1	1	0	.....	.....
0	1	0	.....	.....
1	1	0	.....	.....
0	0	1	.....	.....
1	0	1	.....	.....
0	0	1	.....	.....

Gambarkan pula diagram waktunya!



5.6. TUGAS AKHIR

Buatlah kesimpulan dari data yang diperoleh dari percobaan yang telah dilakukan.

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

Tgl. Praktikum : .....

Kel. Praktikum : .....

Pemeriksa,

_____