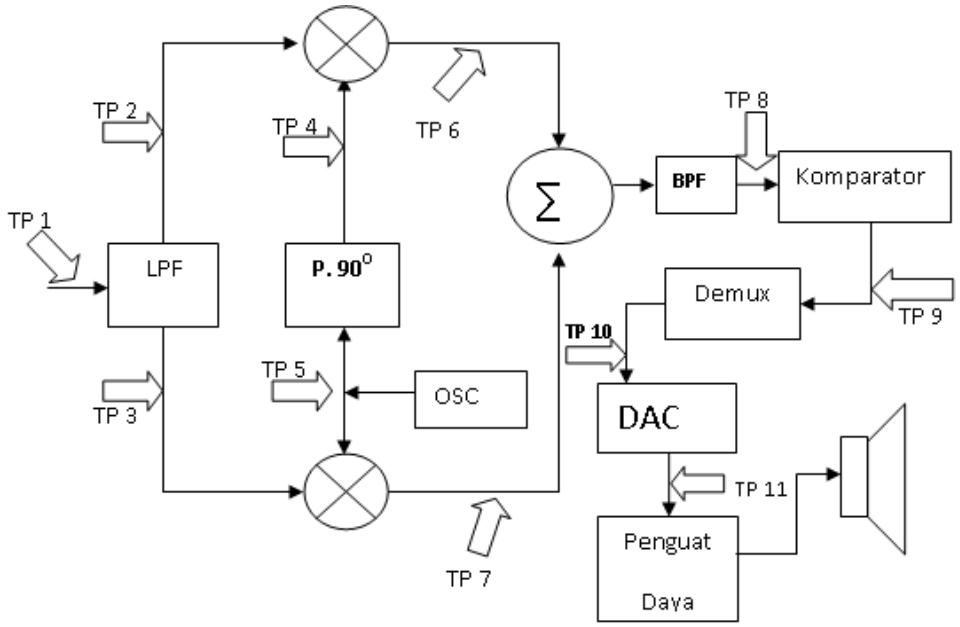
BAB IV

PENGUJIAN DAN ANALISA

Bab ini membahas tentang pengujian alat yang dibuat, adapun tujuan pengujian tersebut adalah untuk mengetahui apakah alat yang telah dirancang berfungsi dan mengahasilkan keluaran yang sesuai dengan yang diharapkan. Dalam pelaksanaannya, pengujian alat ini dilakukan dengan cara melakukan pengujian tiap blok rangkaian sesuai urutan blok diagram yang telah dirancang. Pengujian ini bertujuan untuk mengetahui frekuensi, amplitudo, dan bentuk sinyal yang meruapakan keluaran dari tiap blok rangkaian.

4.1 Pengujian blok rangkaian.

Rangkaian tiap blok yang akan di uji pada percobaan ini adalah rangakaian Low Pass Filter, Balanced Demodulator, Osilator, Penggser fasa 90^o, Bandpass filter, Komparator dan DAC. Berikut adalah cara pengukuran dan hasil keluaran tiap blok rangkaian.

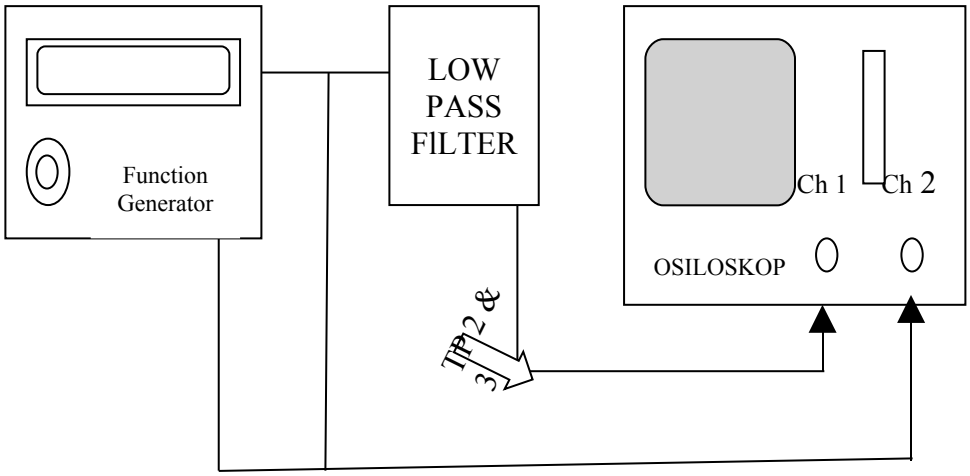


Gambar 4.1 Titik Pengukuran Tiap Blok Rangkaian

Ket: TP = Titik Pengukuran/*Test Point*

4.1.1 **Pengujian Low Pass Filter**

Pada pengujian blok Low Pass Filter ini alat yang digunakan adalah *Function Generator* sebagai asumsi input dan Osiloskop digital. *Function Generator* sebagai asumsi input LPF, dan Osiloskop sebagai alat bantu untuk mengamati setiap output yang terjadi pada saat sinyal input diubah-ubah. Adapun gambaran cara mengukur blok rangkaian LPF ini, seperti gambar 4.2 berikut.

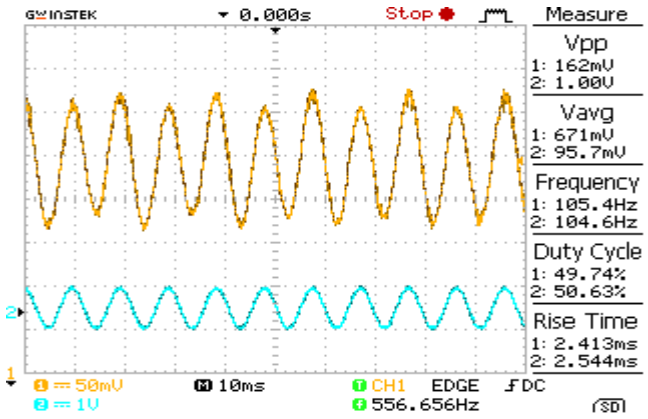


Gambar 4.2 Cara Pengukuran *Low Pass Filter*

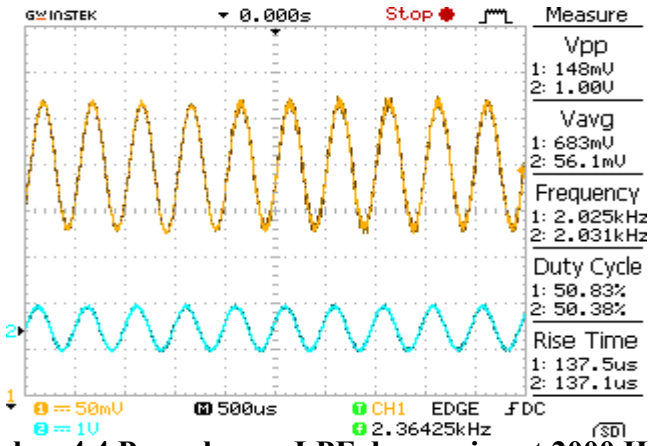
Dari gambar 2.1, kanal 2 di asumsikan sebagai input (1 Vpp), dan kanal 1 sebagai output. Dari percobaan tersebut, di ambil 3 gambar hasil pengukuran yang menunjukan 3 keadaan, yaitu pada saat Frekuensi *input* pertama (100 Hz), pada saat penurunan amplitudo pertama (2000 Hz) dan pada saat frekuensi *Cutoff* (4000 Hz). Kemudian diambil juga 20 data sebagai sampel yang bertujuan agar dari data tersebut dapat dibuat grafik respon frekuensi dari *Low Pass Filter*. Berikut data sampel dari pengujian yang dilakukan beserta gambar hasil keluaran dari *Low Pas Filter* yang dirancang.

Tabel 4.1 Data Pengujian Karakteristik LPF

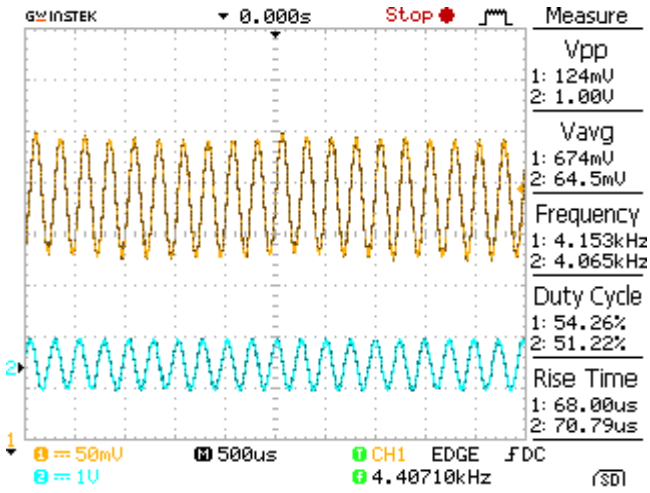
No	(V In)	(*f* in)	(V Out)	$A = 20\ Log\ \frac{Vin}{Vout}$ (dB)
1	1 Vpp	100 Hz	162 mV	
2		200 Hz	162 mV	
3		400 Hz	162 mV	
4		500 Hz	162 mV	
5		600 Hz	162 mV	
6		700 Hz	162mV	
7		800 Hz	162mV	
8		900Hz	162 mV	
9		1000 Hz	162 mV	
10		1250 Hz	162 mV	
11		1500 Hz	162mV	
12		2000 Hz	148mV	
13		2500 Hz	141 mV	
14		3000 Hz	135 mV	
15		3500 Hz	129 mV	
16		4000 Hz	124 mV	
17		4500 Hz	98 mV	
18		5000 Hz	70 mV	
19		5500 Hz	42 mV	
20		6000 Hz	17 mV	



Gambar 4.3 Pengukuran LPF dengan input 100 Hz

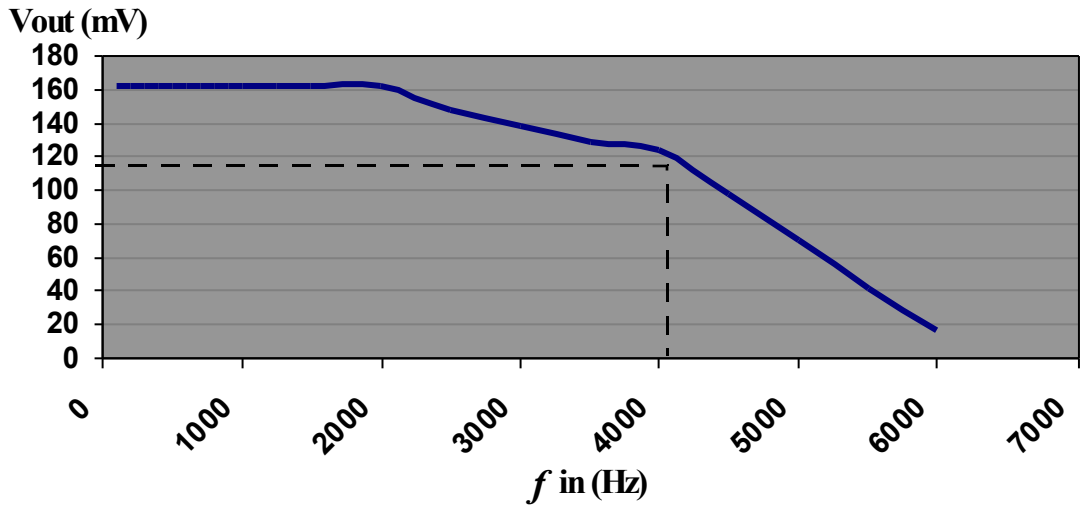


Gambar 4.4 Pengukuran LPF dengan input 2000 Hz



Gambar 4.5 Pengukuran LPF dengan input 4000 Hz

Dari data hasil pengukuran di atas, maka didapatkan respon frekuensi seperti di bawah ini:



Gambar 4.6 Respon frekuensi LPF yang Dihasilkan

Setelah mengamati bentuk respon frekuensi dan gambar dari pengukuran LPF di atas, maka dapat diketahui bahwa posisi *Cut off* terjadi pada saat frekuensi di atas 4000 Hz, bukan pada saat frekuensi input 4000 Hz. Karena untuk menentukan posisi *Cut off,* dapat diketahui menggunakan persamaan berikut.

Posisi Cut Off = Vout maks X 0,707 ……(4.1)

Jadi, dari persamaan di atas diketahui LPF yang dirancang memiliki Posisi Cut off yang terjadi pada saat:

$$\text{Posisi Cut Off} = \frac{162}{1000}0.707$$

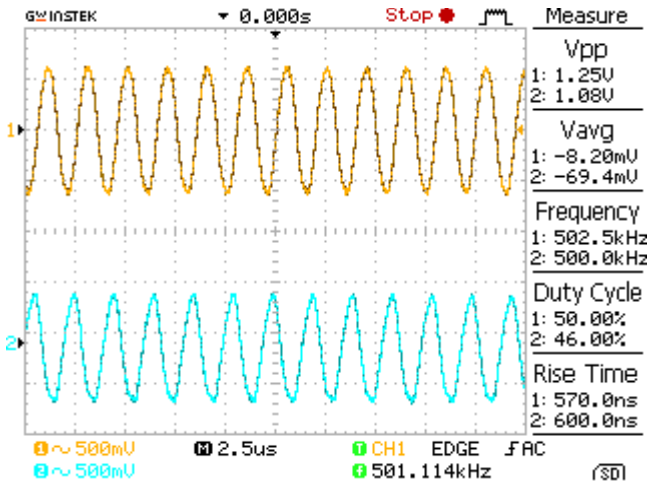
$$= 0.114\,\text{V}$$

Dari data hasil pengjuian tabel 4.1, maka diketahui bahwa ketika tegangan output 0.114 Volt , frekuensi input sedang berada pada frekuensi diatas 4000 Hz dan di bawah 4500 Hz.

Hal ini membuktikan bahwa filter yang dihasilkan tidak terlalu sesuai dengan yang dirancang, karena pada saat perancangan posisi *Cut off* yang diinginkan adalah pada saat 4000 Hz. Akan tetapi, dari segi karakteristik efisiensi *bandwith* filter ini sudah mendekati dengan yang diinginkan, karena dari bentuk respon frekuensi pada gambar 4.6 terlihat pemotongan frekuensi tinggi yang curam.

4.1.2 **Pengujian Balanced Demodulator**

Untuk pengukuran rangakaian *Balanced demodulator* data hasil pengukuran per-blok rangkaian tidak didapatkan, karena untuk mengetahui bahwa rangkaian ini sudah berjalan sesuai fungsinya atau tidak, dapat diketahui jika rangkaian tersebut memiliki masukan dari osilator dan sinyal termodulasi. jadi untuk data berupa gambar dari sinyal keluaran *Balanced demodulator*, hanya didapatkan sinyal keluaran yang telah termodulasi seperti pada gambar 4.7 yang pengukurannya dilakukan pada TP 6 dan TP 7, seperti yang terlihat pada gambar 4.1.

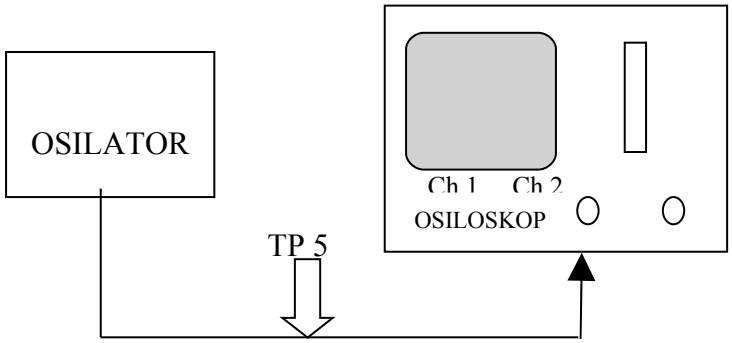


Gambar 4.7 Sinyal Keluaran Balanced Demodulator

Dari ke-2 data sinyal keluaran di atas, diketahui bahwa sinyal keluaran dari *Balanced demodulator* pada demodulator 4-DPSK yang dirancang telah berfungsi sesuai dengan yang diharapkan dari perancangan awal. Dikatakan demikian karena sinyal keluaran dari *Balanced demodulator* sudah dapat termodulasi, baik sinyal keluaran dari *Balanced demodulator* "*In-phase*" maupun sinyal keluaran *Balanced demodulator* yang telah digeser fasa nya sebesar 90^{o} (*Quadrature Phase*).

4.1.3 **Pengujian Osilator**

Pada pengujian blok rangkaian osilator ini, hanya menggunakan alat ukur berupa osiloskop digital. Karena pada prinsipnya osilator tidak memiliki input dari rangkaian manapun yang ada dalam blok diagram sistem perancangan, sebaliknya osilator ini akan menghasilkan sinyal *carrier* (pembawa) untuk kemudian dimasukan kedalam rangkaian penggesser fasa dan *balaced demodulato quadrature.* Berikut adalah gambaran umum cara pengujian blok rangkaian Osilator .



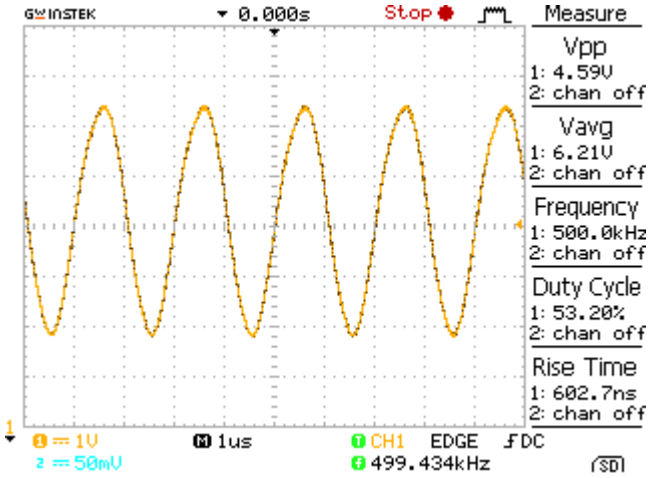
Gambar 4.8 Pengujian Osilator

Untuk mengeteahui apakah rangakain Osilator yang dibuat telah berjalan sesuai fungsinya atau belum, maka dibuat tabel pengamatan dari keluaran osilator dan gambar hasil pengujian dari blok rangkaian osilator seperti berikut:

Tabel 4.2 Pengujian Frekuensi Dan Amplitudo Perancangan Osilator

No	Frekuensi Awal (kHz)	Waktu Pengamatan (Menit)	Frekuensi Akhir (kHz)	Amplitudo (Vpp)
1	500	5	499.00	4.59
2		10	501.03	4.59
3		15	502.00	4.59
4		20	501.01	4.59
5		25	499.03	4.59
6		30	500.08	4.59
7		35	500.00	4.59
8		40	501.80	4.59
9		45	500.00	4.59
10		50	501.03	4.59
Rata-rata			500.57	4.59

Dari hasil data tabel pengamatan tabel 4.2 di atas, dapat diketahui bahwa keluaran dari blok rangkaian oslator menggunakan XR 2206 ini cukup stabil baik dari segi keluaran frekuensi maupun amplitudonya. Hal ini dibuktikan dari rata-rata nilai keluaran frekuensi dan amplitudo osilator tersebut selama waktu pengamatan.

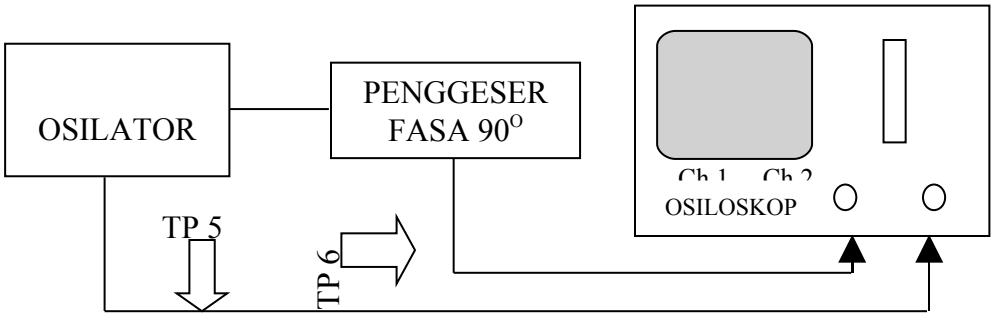


Gambar 4.9 Sinyal Keluaran Osilator

Setelah mendapatkan kedua data dari hasil pengujian blok rangkaian osilator berupa tabel dan gambar keluaran sinyal, dapat diketahui bahwa sinyal *carrier* yang dihasilkan sudah dapat berfungsi dengan baik dan sesuai dengan perancangan yang dinginkan diawal perancangan yang menginginkan siyal *carrier* dari osilator sebesar 500 KHz. Bentuk dari sinyal keluarannya juga sudah berbentuk sinus yang baik dan hampir tidak terdapat *noise*. Untuk amplitudo yang dihasilkan sangat stabil, sebesar 4,59 Vpp dan tidak berubah-ubah selama waktu pengamatan. Jadi dengan kata lain blok rangkaian osilator demodulator 4-DPSK ini sudah sesuai dengan karakteristik osilator sinyal *carrier* yang dirancang oleh pengirimnya (modulator 4-DPSK), yang merancang sinyal *carrier* sebesar 500 KHz.

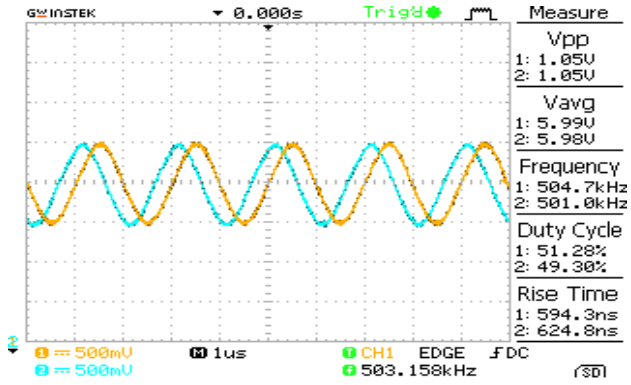
4.1.4 **Pengujian Penggeser fasa 90º**

Sinyal penggeser fasa ini berasal dari sinyal osilator yang keluarannya mendapat pergeseran fasa (sinyal osilator sebagai referensinya). Ketika sinyal osilator dibandingkan dengan sinyal penggeser fasa, maka terdapat beda fasa diantara keduanya sebesar 90º. Adapun cara pengujuian penggeser fasa ini seperti gambar 4.10 berikut.

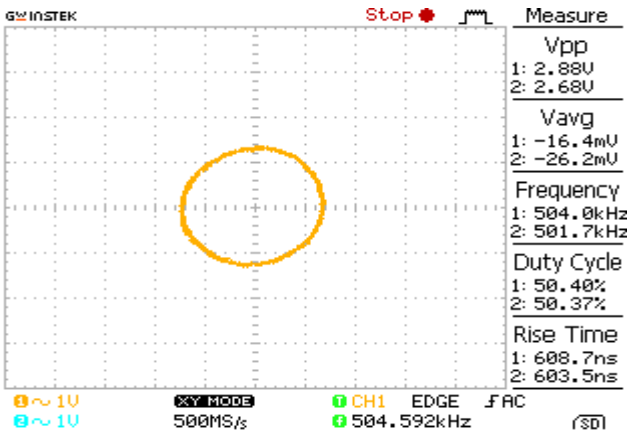


Gambar 4.10 Pengujian Penggeser Fasa 90º

Keluaran Osilator berupa sinyal carrier yang telah dirancang sebelumnya dengan frekuensi sebesar 500 KHz, dijadikan sebagai input dari penggeser 90º, kemudian keluaran penggeser fasa ditampilkan ke osiloskop dan dibadingkan dengan sinyal input dari osilator yang juga ditampilkan ke osiloskop segagai seperti yang terlihat pada gambar 4.11. Maka didapatlah 2 hasil gambar pengujian seperti gambar berikut :



Gambar 4.11 Sinyal Keluaran Penggeser Fasa 90º



Gambar 4.12 Grafik Lissajous Penggeser Fasa 90^{o}

Dari gambar 4.11, diketahui bahwa pengujian blok rangkaian penggeser fasa 90^{o} sudah memiliki perbedaan fasa seperti yang diinginkan. Hal ini dapat dilihat dari penurunan amplitudo sinyal carrier yang ditunjukan oleh kanal 1, dari sebelumnya sebesar 4,59 Vpp (gambar 4.10) menjadi 2,72 Vpp (gambar 4.11). Perubahan amplitudo inilah yang kemudian menjadi pembentuk perbedaan fasa antara sinyal input osilator (kanal 1) dengan output penggeser fasa 90^{o} (kanal 2).

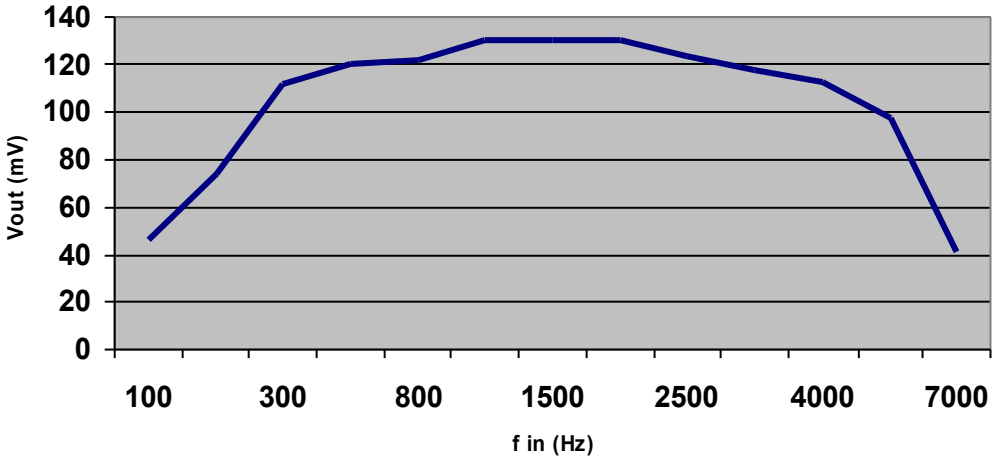
Untuk pengamatan gambar 4.12, bila diamati dengan seksama bentuk dari grafik *lissajous* tidak membentuk sebuah lingkaran yang sempurna, karena bila dari hasil pengujian blok rangkaian penggeser fasa 90^{o} sudah memiliki perbedaan fasa yang benar, maka bentuk keluaran dari grafik *lissajous* akan membentuk sebuah lingkaran yang ideal. Hal ini kemungkinan disebabkan oleh beberapa faktor, diantaranya nilai komponen R dan C yang tidak akurat antara yang tertera pada fisik komponen dengan setelah dilakukan pengukuran ulang menggunakan alat ukur digital.

4.1.5 Pengujian Band Pass Filter

pada prinsipnya pengujian blok rangkaian BPF tidak jauh berbeda dengan LPF hanya saja fungsi dari kedua blok rangkaian tersebut sedikit berbeda. Bila pada LPF berfungsi untuk meloloskan frekuensi rendah, dan memotong frekuensi tinggi. Bila pada BPF frekuensi yang diloloskan lebih spesifik, antara frekuensi tinggi (f_H) dan frekuensi rendah (f_L). Untuk lebih jelasnya dapat dilihat dari tabel pegujian blok rangkaian bandpass filter berikut.

Tabel 4.3 Data Karakteristik BPF

No	Tegangan Masukan (V In)	Frekuensi Input (*f* in)	Tegangan Keluaran (V Out)
1	1 Vpp	100 Hz	46 mV
2		200 Hz	74 mV
3		300 Hz	112mV
4		500 Hz	120 mV
5		800 Hz	122 mV
6		1200 Hz	122 mV
7		1500 Hz	131 mV
8		2000Hz	131 mV
9		2500 Hz	131mV
10		3000 Hz	163 mV
11		4000 Hz	122mV
12		5500 Hz	98 mV
13		7000 Hz	41 mV



Gambar 4.13 Respon Frekuensi Band Pass Filter

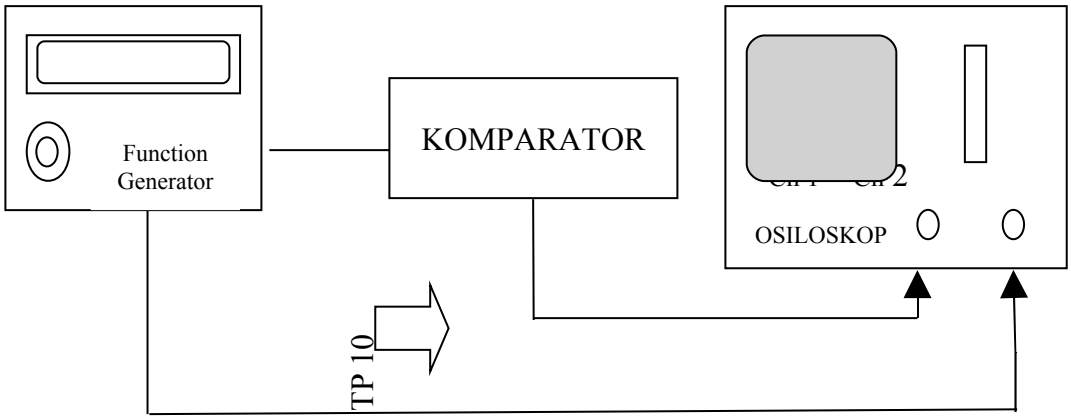
Bila dilihat dari gambar 4.13, maka diketahui bahwa BPF yang dirancang, setelah dilakukan pengujian blok rangkaian dapat memotong frekeuensi tinggi dan frekeunsi rendah tertentu. Walaupun pada kenyataannya masih ada frekuansi tinggi yang diloloskan dari output BPF ini, namun angka tersebeut masih dapat ditolerir. Karena bila menurut hasil pengamatan, frekuensi tinggi yang masih diloloskan kurang dari 7,2 KHz, sedangkan frekuensi yang berada diatas nilai tersebut keluarannya sudah mendekati nilai nol.

4.1.6 **Pengujian Komparator**

Pengujian blok rangkaian komparator hanya untuk membandingkan antara sinyal masukan dengan sinyal keluaran. Pada demodulator 4-DPSK yang dirancang ini, sinyal input berupa sinyal analog dan sinyal output yang diharapkan berbentuuk

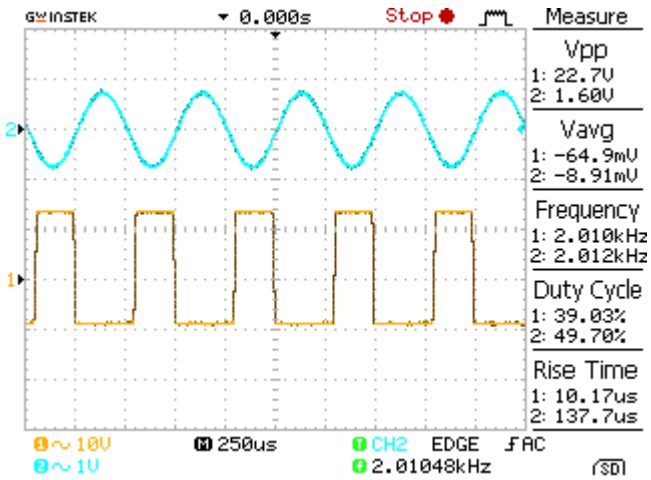
digital. Untuk pengujian blok rangkaian yang dilakukan, sinyal analog sebagai masukannya menggunakan sinyal sinus dari *function generator*. Agar dapat diketahui sinyal tersebut sudah berbentuk kotak maka keluaran dari komparator tersebut ditampilkan ke osiloskop kemudian dibandingkan dengan sinyal masukannya.

Gambaran dari langkah pengujian blok rangkain komparator tersebut seperti yang terlihat pada gambar 4.14 berikut.



Gambar 4.14 Pengujian Blok Rangkaian komparator.

Setelah masukan keseluruhan sudah terhubung dengan baik, maka diperoleh gambar keluaran seperti berikut dari hasil pengujian yang dirancang yang ditampilkan oleh osilioskop.



Gambar 4.15 Keluaran Sinyal Blok Rangkaian komparator.

Terlihat dari gambar percobaan diatas bahwa output dari rangkaian komparator berbentuk kotak, hal ini membuktikan bahwa rangkaian tersebut sudah dapat mengubah sinyal sinus menjadi sinyal kotak atau dengan kata lain blok rangkaian ini sudah dapat berfungsi dengan baik.

4.1.7 Pengujian Pencacah

Untuk pengujian pencacah dibutuhkan rangkain *clock*, yang berfungsi sebagai pemicu untuk menjalankan rangkaian pencacah tersebut. Kemudian rangkain pencacah ini akan menghasilkan keluaran logika “1” dan “0”. Berikut adalah tabel hata hasil pengujian blok rangkaian pencacah.

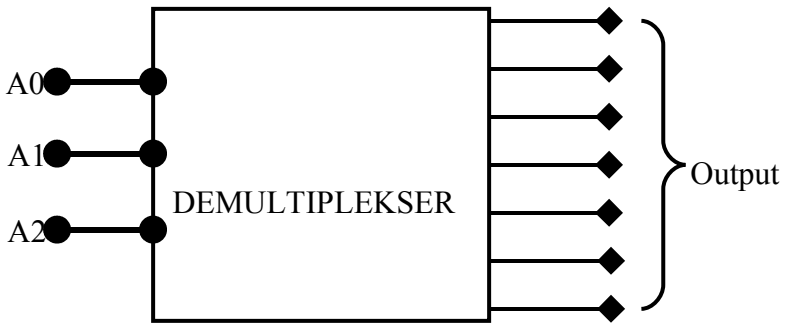
Tabel 4.4 Pengujian Rangkain pencacah

No.	Input clock	Keluaran Pencacah
1	0	000
2	1	001
3	0	010
4	1	011
5	0	100
6	1	101
7	0	110
8	1	111

Dari hasil pengujian rangakaian pencacah tersebut dapat diketahui bahwa rangkaian tersebut memiliki jumlah bit keluaran sesauai dengan data inputan. Karena secara teori keluaran dari pencacah dengan 3 bit logika,memliki 8 kemungkian keluaran.

4.1.8 Pengujian Demultiplekser

Dalam Pengujian blok rangkaian demultiplekser ini dibutuhkan 3 masukan dari pencacah, juga 1 masukan dari komparator. Seperti ditunjukan oleh gambar 4. 16 berikut.



Gambar 4.16 Pengujian Demultipelkser

Untuk pengujian blok rangkaian demultiplekser ini dapat diketahui dari gambar diatas memilki 3 inputan logika biner yang berasal dari pencacah, berarti demultiplekser ini memilki 8 bit data keluaran yaitu mulai dari logika keluaran 000 sampai dengan 111.

4.1.9 **Pengujian DAC**

Pengujian blok rangkaian DAC memiliki inputan dari keluaran demultiplekser, jadi dengan kata lain masukan dari DAC tersebut berjumlah 8 bit logika biner dengan 256 kemungkinan (2^n). berikut adalat tabel pengujian dan pengamatan dari masukan DAC.

Tabel 4.5 Pengmatan Tegangan Keluaran DAC

No.	Keluaran Demultiplekser	Tegangan Referensi (Volt)	Keluaran Tegangan (Volt)
1	00000000	+5.00	-5.01
2	00000001		-4.962
3	00000010		-4.925
4	00000011		-4.886
5	00000100		-4.844
6	00000101		-4.805
7	00000110		-4.768
8	00000111		-4.729
9	11111000		4.732
10	11111001		4.772
11	11111010		4.808
12	11111011		4.848
13	11111100		4.889
14	11111101		4.929
15	11111110		4.965
16	11111111		5.006

Dari tabel data pengujian dan pengamatan diatas, dengan masukan tegangan referensi +5V, diketahui bahwa tegangan DAC yang dihasilkan memiliki nilai yang berubah-ubah sesuaai dengan logilka biner yang dimasukan. Dari data diatas juga dapat dilihat bahwa tegangan keluaran pada DAC memilki dua karakteristik nilai tagangan yang berbeda yaitu (+5V) pada tegangan maksimum, dan (- 5V) pada tegangan minimum.

Namun pada data ini tidak dicantumkan nilai keluaran pada saat tegangan keluaran benilai mendekati 0 Volt. karena data bit masukan terdapat 256 kemungkinan, jadi sebagai data untuk mewakili pengujian DAC hanya diambil 8 kemungkinan pertama dan 8 kemungkinan terakhir dari keluaran tegangan DAC yang disesuaikan dengan urutan data bit masukan demultiplekser.