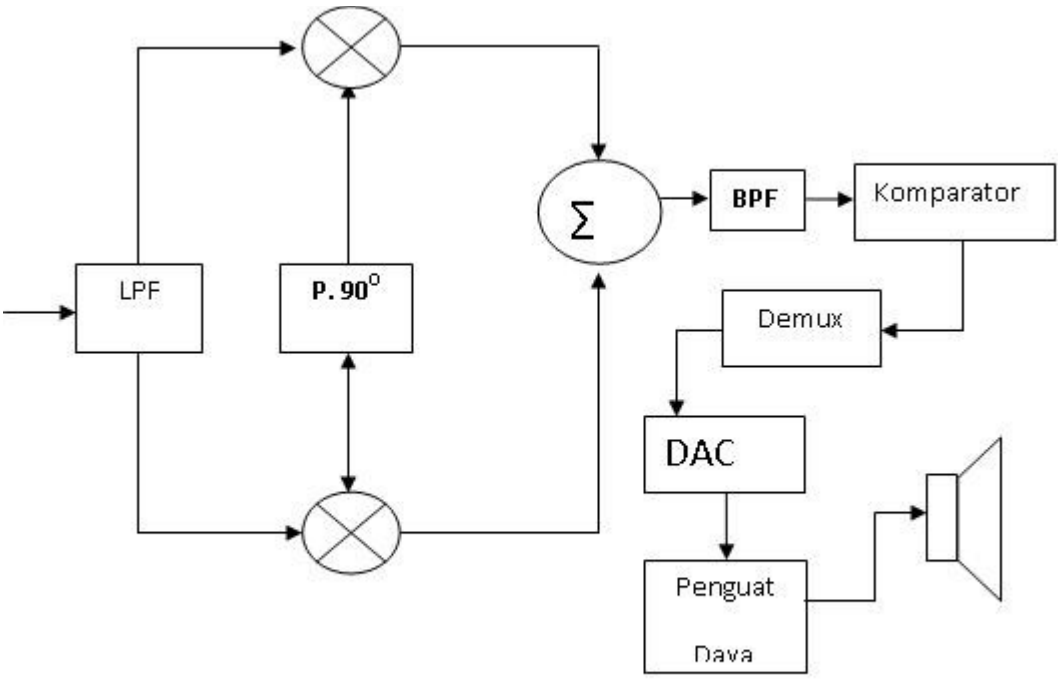
BAB III

PERANCANGAN ALAT

Pada perancangan alat untuk sistem demodulasi yang dirancang, terdiri dari beberapa perangkat keras (*Hardware*) yang akan dibentuk menjadi satu rangkaian pemodulasi sinyal digital yaitu demodulator 4-DPSK. Berikut adalah gambaran secara umum (blok diagram) demodulator 4-DPSK.



Gambar 3.1 Blok Diagram Demodulator 4-DPSK

Blok diagram demodulator 4-DPSK di atas terdiri dari beberapa blok, diantaranya *Low Pass Filter* (LPF), Osilator 500 kHz, *balance demodulator*, penggeser fasa 90^0 , *Band Pass Filter* (BPF), Komparator,Demultiplekser, DAC, Penguat Daya dan *Speaker.*

3.1 *Low Pass Filter* (LPF)

Perancangan rangkaian LPF digunakan pada bagian awal perancangan blok penerima. Rangkaian LPF ini bertujuan agar frekuensi rendah saja yang masuk sedangkan frekuensi tinggi tidak dapat masuk. Pada rangkaian LPF terjadi pembatasan frekuensi yang diteruskan dan ada juga yang ditahan serta terjadi perubahan fasa antara *input* dan *output*. Frekuensi yang berada di bawah frekuensi *cut off* akan diteruskan masuk, sedangkan frekuensi yang berada di atas frekuensi *cut off* akan ditahan dan terjadi penurunan *gain*. Karena frekuensi input yang dikirim adalah frekuensi suara, maka pada perancangan kali ini frekuensi yang akan diloloskan oleh LPF sebesar 4000 Hz. Berikut perancangan rangkaian dan perhitungannya:

$$F = \frac{1}{2\pi fR.C}$$

F = frekunsi

R = Resistor

C = Kapasitor

Asumsi:

C = 10 n F

F = 4000 Hz

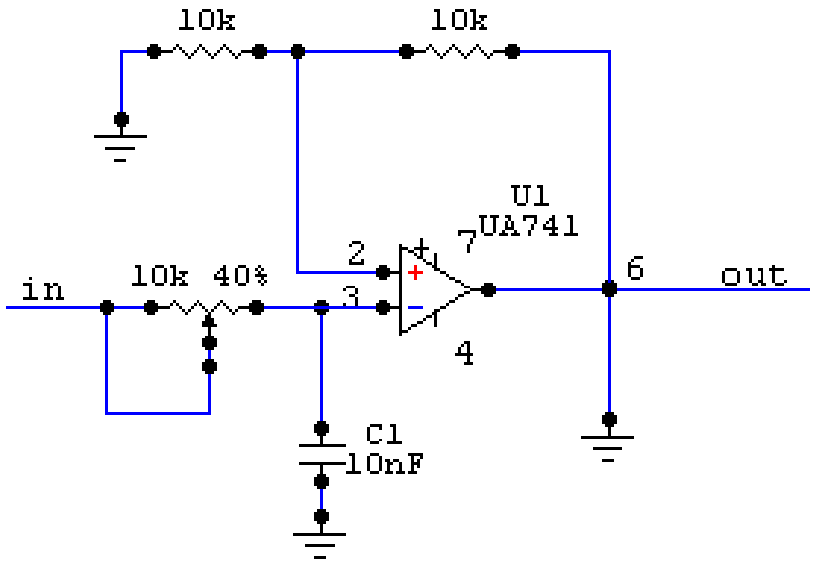
Maka:

Rin =

=

= 3980.89 Ω

Karena nilai R 3980.89 Ω yang tidak terdapat dipasaran, maka digunakan *variable resitor* (VR) sebesar 10 KΩ.



Gambar 3.2 Rangkaian *Low Pass Filter* (LPF)

3.3 Osilator 500 KHz

Rangkaian osilator ini digunakan untuk membangkitkan sinyal *carrier* yang berbentuk sinusoidal dengan frekuensi 500 KHz, yang dibangkitkan oleh IC pembangkit sinyal sinusoidal dengan tipe EXAR 2206. Berikut adalah gambaran rangkaian osilator yang dirancang, beserta perhitungannya.

Frekuensi Carrier(*fc*) = 500 KHz (Perancangan Yang Diinginkan)

Asumsi:

Kapasitor (C) = 10 pf

Maka , untuk mendapatkan nilai R yang diinginkan menggunakan parsamaan:

$$R + 1K\Omega = \frac{1}{f \times C}$$

$$= \frac{1}{500 \times 10^{3} \times 10^{-9}}$$

$$= \frac{10^{7}}{50}$$

$R+1\ K\Omega = 200.000\ \Omega$

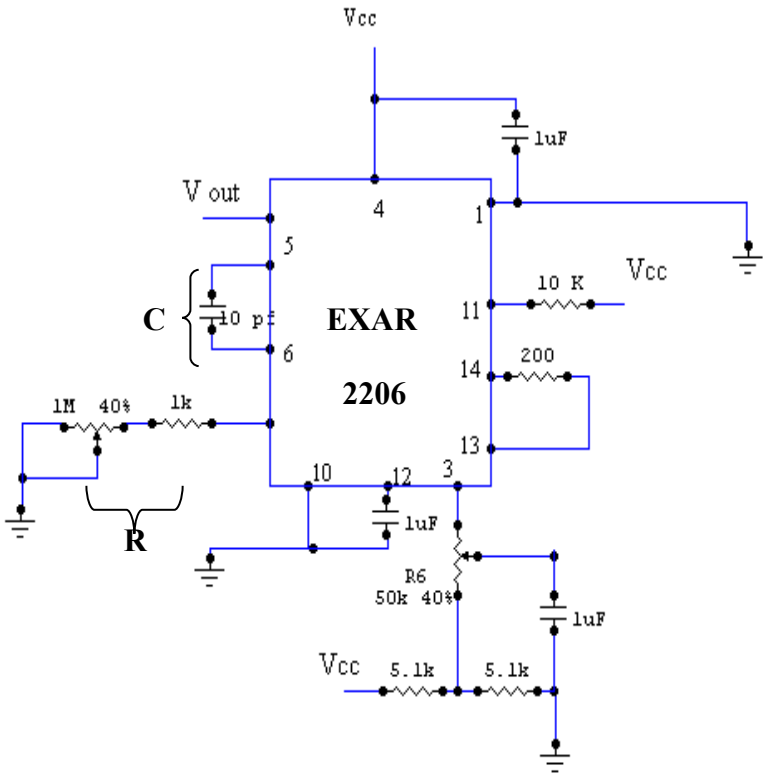
$R = 200.000\ \Omega - 1000\Omega$

$= 199000\ \Omega$

$= 199\ K\Omega$

VR = 500 KΩ

Karena nilai R 199 KΩ yang tidak terdapat dipasaran, maka digunakan variable resitor (VR) sebesar 500 KΩ.

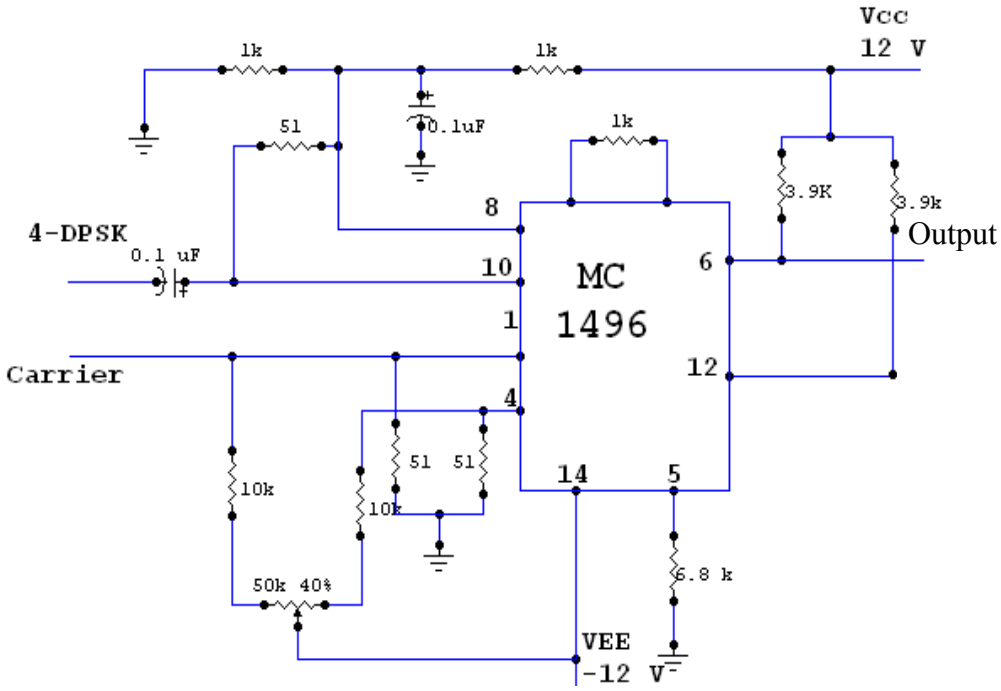


Gambar 2.4 Rangkaian Osilator 500 KHz

Pada rangkaian osilator, umumnya frekuensi keluaran ditentukan oleh elemen penentu frekuensi yang biasanya terdiri dari elemen R dan C. Akan tetapi frekuensi operasi maksimum dari rangkaian osilator yang menggunakan IC mempunyai batas maksimum yang sudah ditentukan dalam data *sheet* sehingga penentuan elemen R dan C harus sesuai dengan dengan ketentuan IC EXAR 2206 ini.

3.4 *Balance Demodulator*

Balance demodulator yang dirancang ini menggunakan IC MC1496. Penguatan dari seluruh rangkaian *balance demodulator* ditentukan dari nilai R8 sedangkan R9 menentukan besar arus bias. Rangkaian *balance demodulator* yang dirancang adalah sebagai berikut.



Gambar 3.5 Rangkaian *Balalance Demodulator*

Rangkaian *Balance* Demodulator memiliki dua masukan sinyal, yaitu sinyal *carrier* dan sinyal modulasi. Sinyal *carrier* menjadi masukan bagi *balance demodulator* dan memiliki nilai frekuensi yang sama besar dengan sinyal *carrier* yang berada pada sinyal modulasi. Ketika kedua sinyal tersebut dimasukkan ke dalam rangkaian

balance demodulator, maka sinyal *carrier* tersebut hilang sehingga sinyal yang keluar dari rangkaian *balance demodulator* adalah sinyal informasi yang dikirimkan dari *speaker.*

3.5 Penggeser Fasa 90^0

Rangkaian pengeser fasa yang dirancang ini besarnya 90^0. Perancangan rangkaian penggeser fasa ini sama dengan perancangan rangkaian pengeser fasa yang ada di modulator 4-DPSK (perhatikan ***Gambar 3.6***). Rangkaian penggeser fasa yang berada di demodulator 4-DPSK ini berfungsi untuk menggeser sinyal *carrier* sebesar 90^0 dengan osilator 500 kHz sebagai referensinya. Sinyal *carrier* yang digeser sebesar 90^0 menjadi masukan untuk salah satu *balance demodulator*. Berikut adalah perhitungan untuk penggeser fasa yang dirancang.

Fc = frekuensi Carrier

C = capasitor

θ = sudut yang akan dirancang

Asumsi :

Fc = 500 KHz

C = 1 nf = $1X10^{-9}$

θ = 90°

$$R = \frac{Tan\frac{\theta}{2}}{2\pi fC}$$

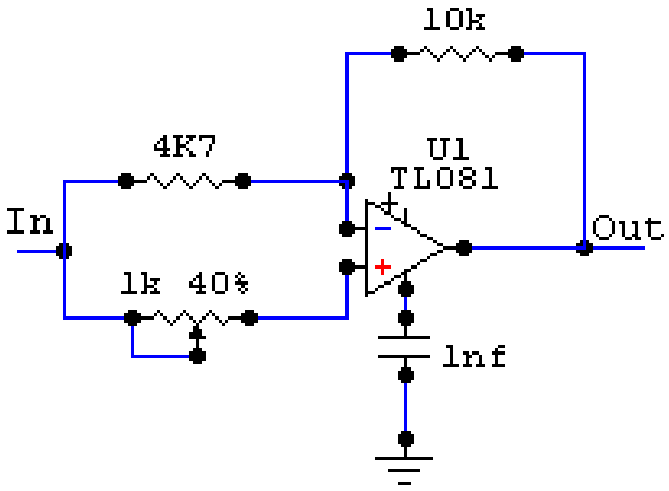
=

=

=

= 318.471 Ω

Maka, dari nilai resistor di atas yang telah didapat dari perhitungan ditetapkan nilai Variable Resistor (VR) sebesar 1 KΩ.



Gambar 3.6 Rangkaian Penggesesr Fasa 90º

3.6 Band Pass Filter (BPF)

Perancangan *Band Pass filter* (BPF) ini dimaksudkan untuk meloloskan suatu band frekuensi tertentu, sesuai dengan perancangan yang diinginkan. Berikut adalah perhitungan secara teori beserta gambar perancangn yang akan dibuat.

Persamaan:

$$Q = \frac{\omega_0}{\beta}$$

Q = Faktor Mutu

B = Bandwitdth

Maka : $Q = \frac{\omega_0}{\beta} = \frac{2\pi fc}{\beta} = \frac{2\times 3.14\times 1900}{3200} = 3.728 \approx 4$

Asumsi :

fL = 300 Hz

fH = 3500 Hz

fc = 1900

β = 3200

C1=C2 = 10 nf

A = 2

Maka :

$$R1 = \frac{Q}{2\pi fc \times C \times A}$$

$$= \frac{4}{2 \times 3.14 \times 1900 \times 10.10^{-9} \times 2}$$

$$= 1.68\ \text{K}\Omega$$

$$R2 = \frac{Q}{2\pi fc \times C(2Q^2 - A)}$$

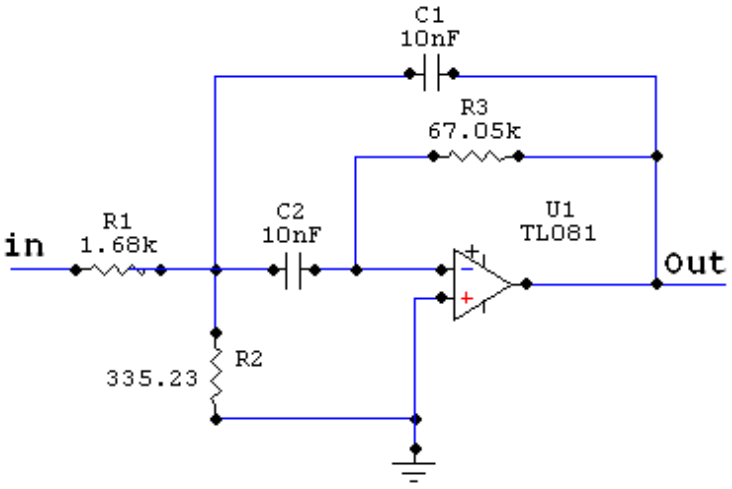
$$= \frac{4}{6.28 \times 1900 \times 10.10^{-9}(2 \times 4^2 - 2)}$$

$$= 335.23\ \Omega$$

$$R3 = \frac{Q}{\pi fc \times C \times}$$

$$= \frac{4}{3.14 \times 1900 \times 10.10^{-9}}$$

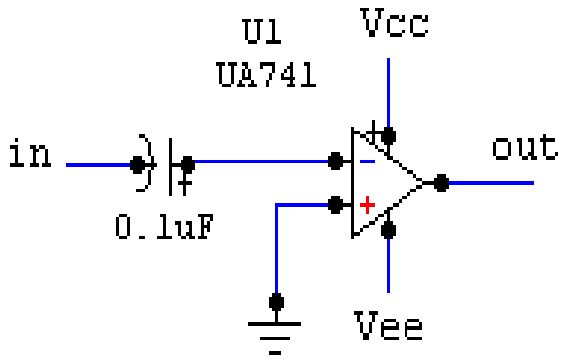
Jad dirancanglah sebuah BPI



Gambar 3.7 Rangkaian Band Pass Filter

3.6 Komparator

Pada perancangan sistem modulasi digital ini membutuhkan suatu rangkaian yang dapat mengubah bentuk sinyal analog menjadi sinyal digital. Untuk itulah dirancang sebuah komparator agar pada saat percobaan dilakukan pada demodulator yang dirancang ini, memiliki keluaran digital sesuai dengan karakteristik modulasi digital. Komparator merupakan rangkaian pengubah sinyal sinusoidal menjadi sinyal kotak, tegangan yang masuk ke rangkaian komparator dibandingkan dengan tegangan referensi yang ada di rangkaian komparator sehingga *output* sinyal pada rangkaian komparator berbentuk kotak. Berikut adalah rangkaian komparator yang dirancang.

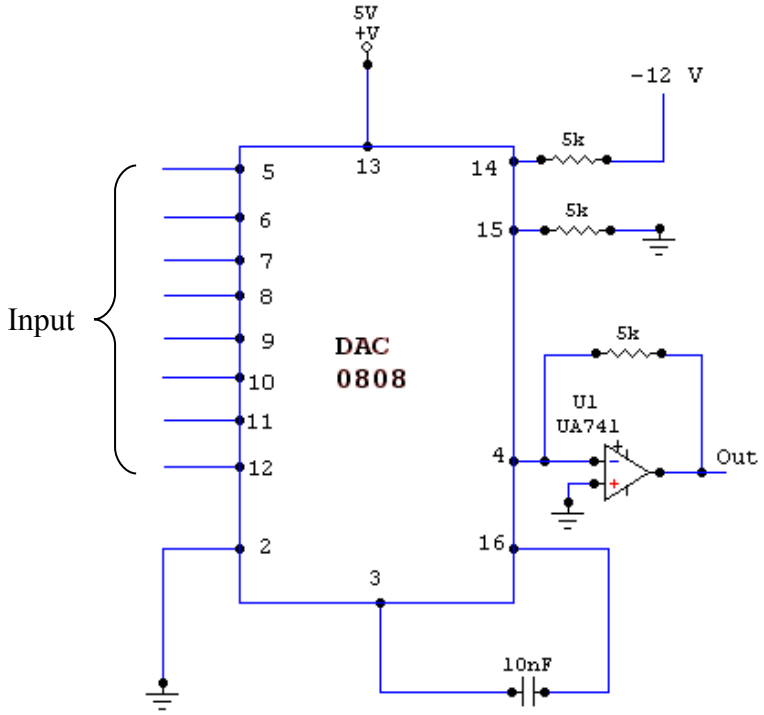


Gambar 3.7 Rangkaian Komparator

3.7 DAC (*Digital To Analog Converter*)

Rangkaian *digital to analog converter* ini menggunakan IC 0808, dimana IC ini memiliki 8 *input* (pin 5-12) dan 1 *output* (pin 4) yang telah diberitambahan sebuah

penguat amplifier (Op-Amp 741), dan beberapa komponen pendukung lain seperti R dan C. Berikut adalah gambar rangkaian DAC yang digunakan.

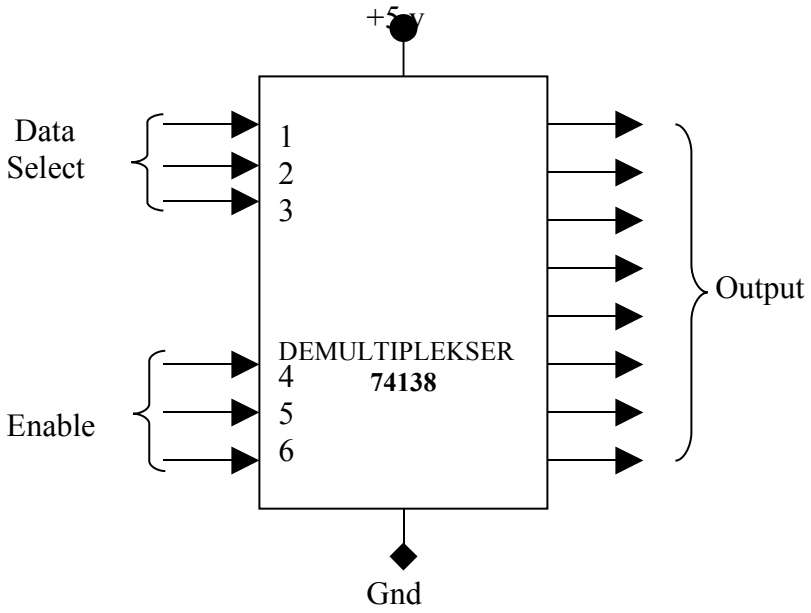


Gambar 3.8 Rangkaian DAC

Fungsi rangkaian DAC pada perancangan ini ialah megubah data digital yang keluar dari komparator menjadi bentuk analog, hal ini dimaksudkan agar suara yang dikirim oleh modulator dapat dikeluarkan di demodulator melalui penguat daya dan speaker.karena pada perancangan ini sinyal yang akan dikeluarkan berupa suara yang memilki format sinyal analog.

3.9 Demutiplekser

Rangkaian demultiplekser yang digunakan pada perncangan demodulator 4-DPSK ini adalah IC TTL 74138, yang mana dapat nengeluarkan 8 bit keluaran. Pemilihan IC ini sebagai rangkaian demultiplekser dikarenakan untuk input DAC yang dirancang memilki 8 buah masukan. Beikut adalah rangkain demultiplekser yang digunakan.

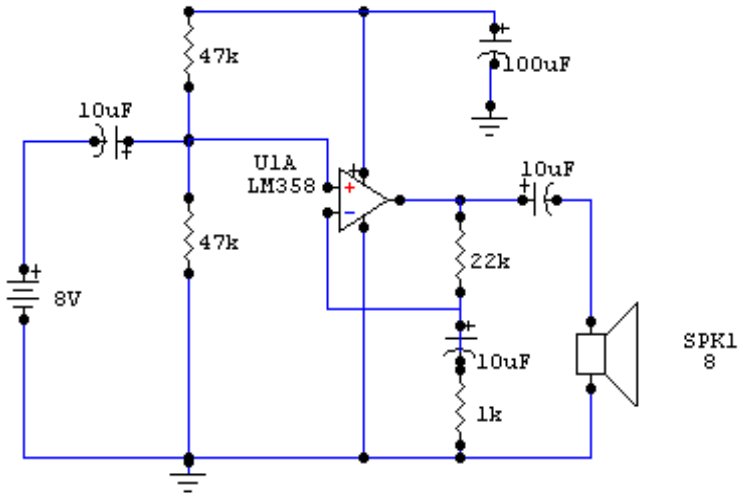


Gambar 3.9 Demultipleksser 8 bit

3.8 Rangkaian Penguat Daya

Rangkaian penguat di bawah ini yang ditunjukkan pada Gambar 3.8, berfungsi untuk menguatkan daya yang dikirim oleh modulator agar suara yang telah difilter dan terdapat *noise* diharapkan dapat terbaca oleh penerima dan dikeluarkan

kembali sebagai suara melalui *speaker* yang terdapat pada rangkaian penguat daya itu sendiri. Berikut adalah rangkain penguat daya yang digunakan.



Gambar 3.10 Rangkaian Penguat Daya

Untuk perancangan penguat daya disini menggunakan IC LM 358, dengan rangkaian yang sudah ada dan nilai komponen yang sudah ditetapkan. Jadi pada pembuatan blok rangkaian penguat daya ini, tidak menggunakan perhitungan komponen yang digunakan seperti blok-blok rangkaian lain yang telah dirancang sebelumnya.