modul 19

SISTEM PSK/QPSK

19.1 Tujuan 19-1

19.2 Dasar Teori..... 19-1

19.3 Peralatan Praktikum..... 19-11

19.4 Percobaan dan Pengamatan 19-11

Percobaan 19-1 Pengukuran dan Penyesuaian

Percobaan 19-2 Modulator PSK/QPSK

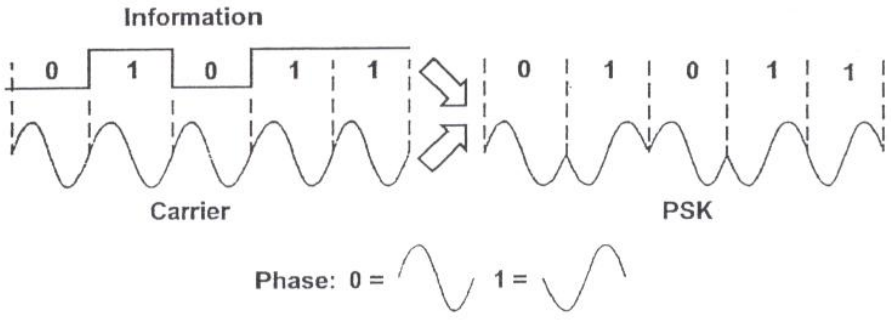
Percobaan 19-3 Demodulator PSK/QPSK

19.1. TUJUAN

1. untuk mempelajari prinsip modulasi PSK/QPSK
2. untuk mempelajari prinsip demoudulasi PSK/QPSK
3. untuk mengimplementasikan modulator PSK/QPSK
4. untuk mengimplementasikan demodulator PSK/QPSK

19.2. DASAR TEORI

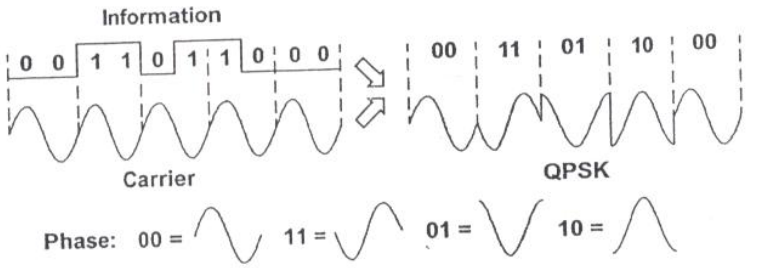
Seperti yang telah dijelaskan pada Modul 18, proses modulasi phase shift keying (PSK) dapat dilihat sebagai kasus khusus dari phase modulation (PM). Modulasi PSK ditunjukan pada Gambar 19-1.



Gambar 19-1 Modulasi PSK

Pada gambar 19-1, sinyal carrier merupakan sinyal sinusoidal dengan frekuensi dan amplitude tetap, sinyal modulasi adalah informasi biner. Jika informasi adalah low (0), sinyal carrier tetap dalam fasanya. Jika informasi input adalah high (1), sinyal carrier membalik fasa sebesar 180 derajat. Pasangan gelombang sine yang hanya berbeda fasanya pada pergeseran 180 derajat disebut sinyal antipodal. Tipe phase-shift-keying ini disebuit binary PSK (BPSK) atau phase-reverse-keying (PRK).

Pada BPSK, skema modulasi dikarakterisasi oleh fakta bahwa informasi dibawa oleh sinyal transmisi yang terdapat dalam fasanya. Sebaliknya, dalam quadriphase-shift keying (QPSK), fasa dari carrier membawa satu dari empat harga, seperti 0^o, 90^o, 180^o, dan 270^o. Setiap harga fasa yang mungkin berkorespondensi dengan pasangan bit yang unik disebut dibit. Sebagai contoh, kita dapat memilih set harga fasa untuk merepresentasikan set Gray-coded dibits: 00, 01, 11, dan 10. Bentuk sinyal modulasi QPSK ditunjukan dalam Gambar 19-2



Gambar 19-2 Modulasi QPSK

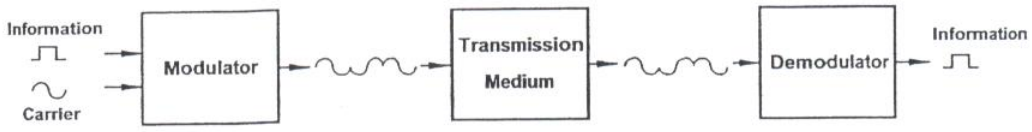
Perlu dicatat bahwa set fasa pada PSK dan QPSK yang disebutkan di atas hanya satu pilihan yang mungkin. Kemungkinan phase-shift lain dari sinyal PSK dan QPSK ditunjukan pada Tabel 19-1 di bawah ini.

Tabel 19-1 Phase-Shift yang mungkin dari PSK dan QPSK

Sistem	Informasi	Fasa (derajat)		
		Learned	#1	#2
PSK	0	0	180	45
	1	180	0	225
QPSK	0	0	180	45
	11	180	0	225
	1	90	270	135
	10	270	90	315

Gambar 19-3 menunjukan sistem komunikasi PSK/QPSK. Modulator memodulasi sinyal carrier dengan informasi input dan memproduksi sinyal termodulasi PSK atau QPSK. Sinyal termodulasi ditransmisikan

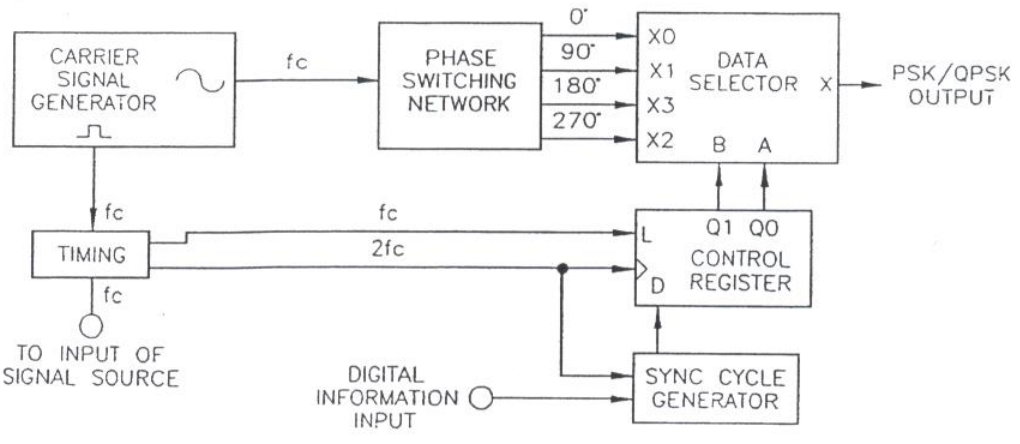
melewati medium, seperti udara, kabel, fiber optic, ke input demodulator. Demodulator menerima sinyal transmisi PSK atau QPSK dan kemudian merekonstruksi data informasi originalnya.



Gambar 19-3 Blok Diagram sistem PSK/QPSK

Gambar 19-4 menunjukan blok fungsi dari PSK/QPSK modulator. Generator sinyal memberikan sinyal carrier (sinyal sine) ke phase jaringan switching dan rangkaian sinyal kotak ke rangkaian timing. Jaringan phase switching memberikan empat output (0°, 90°, 180°, 270°) ke input selektor data. Output data selektor X didapatkan dengan memilih input A dan B. Terdapat empat kasus sebagai berikut:

1. Jika BA=00 (Q1=Q0=low), X=X0, sinyal dengan phase shift 0°
2. Jika BA=11 (Q1=Q0=high), X=X3, sinyal dengan phase shift 180°
3. Jika BA=01 (Q1=Q0=high), X=X1, sinyal dengan phase shift 90°
4. Jika BA=10 (Q1=Q0=low), X=X2, sinyal dengan phase shift 270°



Gambar 19-4 Blok Diagram modulator PSK/QPSK

Rangkaian timing menerima sinyal kotak (fc) dari output generator sinyal carrier dan memproduksi dua output: fc ke input load control dan sinyal 2fc (dua kali frekuensi carrier) ke input clock dari control register dan juga untuk generator sync cycle. Kedua sinyal fc dan 2fc dan laju data (terukur dalam bits per detik, bps) informasi input digital digunakan untuk menentukan apakah modulator bekerja dalam mode binary PSK atau QPSK. Terdapat tiga kasus yang mungkin, yaitu:

1. Bit rate = fc dan sync cycle tidak dibangkitkan

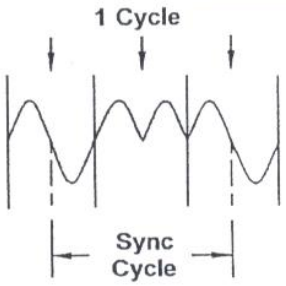
   Pada kasus ini, laju data sama dengan frekuensi carrier fc dan frekuensi clock dua kali frekuensi carrier. Satu bit dari data stream digital diberikan pada control register dua kali. Sehingga output Q0-Q1 dari control register sama, 00 atau 11. Output X dari data selektor adalah sinyal input X0 atau X3. Sistem ini bekerja dalam mode PSK.

2. Bit rate = 2fc dan sync cycle tidak dibangkitkan

   Dalam kasus ini, laju data dan frekeunsi clock sama dengan dua kali frekuensi carrier 2fc. Dua bits data stream diberikan pada control register tiap siklus carrier. Output dari control register Q0-Q1 mungkin bernilai 00, 01, 11, atau 10. Sistem ini bekerja dalam mode QPSK.

3. Bit rate = fc atau 2 fc dan sync cycle dibangkitkan

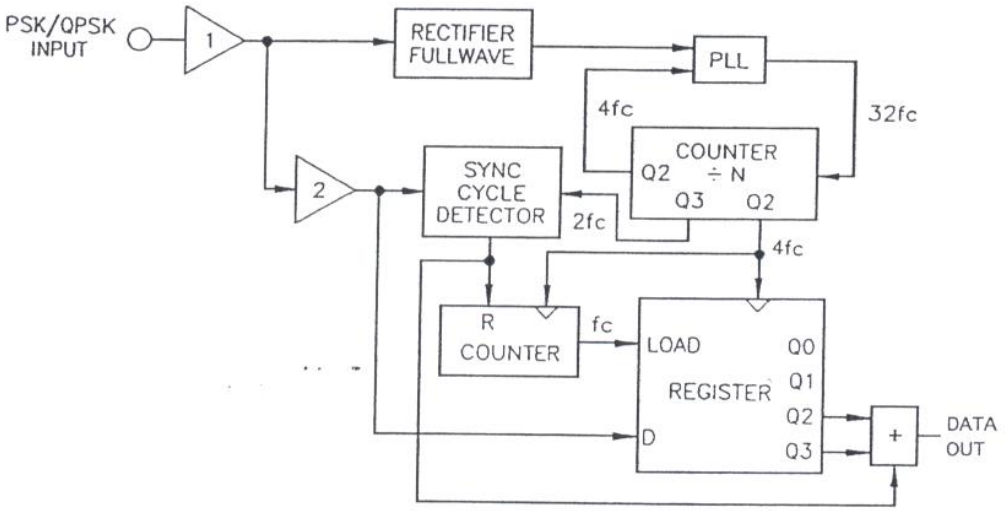
   Jika sync cycle dibutuhkan, rangkaian sync cycle control akan memproduksi sinyal control untuk mengontrol output data shift register control, dan kemudian sebuah sinyal sync cycle akan muncul pada output modulator. Format dari sync cycle yang ditunjukan dalam Gambar 19-5 digunakan dalam percobaan. Sinyal sync cycle berbeda dari sinyal PSK/QPSK termodulasi seperti pada Gambar 19-1 dan 19-2. Sinyal sync cycle dapat diidentifikasi oleh detektor sync cycle dalam demodulator PSK/QPSK.



Gambar 19-5 Siklus Sinkronisasi

PSK/QPSK Demodulator

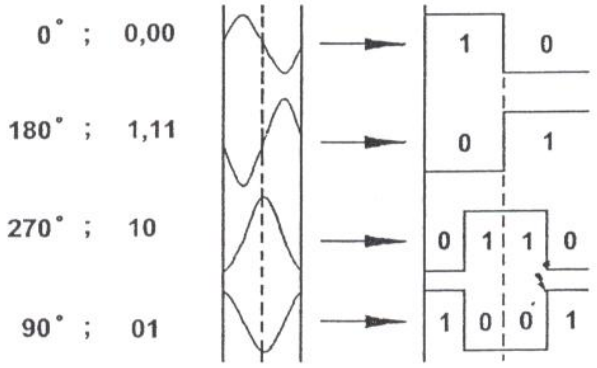
Terdapat beberapa metode dan rangkaian yang digunakan utnuk merekonstruksi informasi (sinyal modulasi) dari sinyal PSK/QPSK termodulasi. Pada demodulator PSK/QPSK, rangkaian PLL dibutuhkan untuk merekonstruksi sinyal clock yang digunakan dalam modulator.



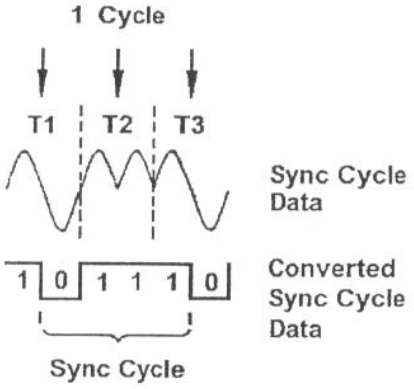
Gambar 19-6 Blok diagram demodulator PSK dan QPSK

Gambar 19-6 menunjukkan bahwa blok diagram demodulator PSK/QPSK. Sinyal input PSK/QPSK diamplifikasi oleh amplifier 1 dan kemudian diperbaiki oleh full-wave rectifier, kemudian pulsa dihubungkan pada input dari phase detector dalam PLL. Sinyal ini dibutuhkan untuk merekonstruksi sinyal clock.

Gambar 19-7 menunjukan data output demodulator yang didapatkan dari sinyal PSK/QPSK yang diterima. Dari Gambar 19-6, dapat terlihat bahwa beberapa frekuensi clock dibangkitkan oleh PLL dan terbagi dalam N counter. Sinyal clock ini digunakan untuk merekonstruksi data informasi dan mengubah sinyal sync cycle ke data sync cycle.



Gambar 19-7 Output data demodulator



Gambar 19-8 Konversi Sync Cycle

Konversi sync cycle ditunjukkan dalam Gambar 19-8. Sync cycle terkonversi adalah data 0111. Ketika detektor sync cycle menerima data ini, low direpresentasikan untuk mengindikasikan sync cycle telah terdeteksi

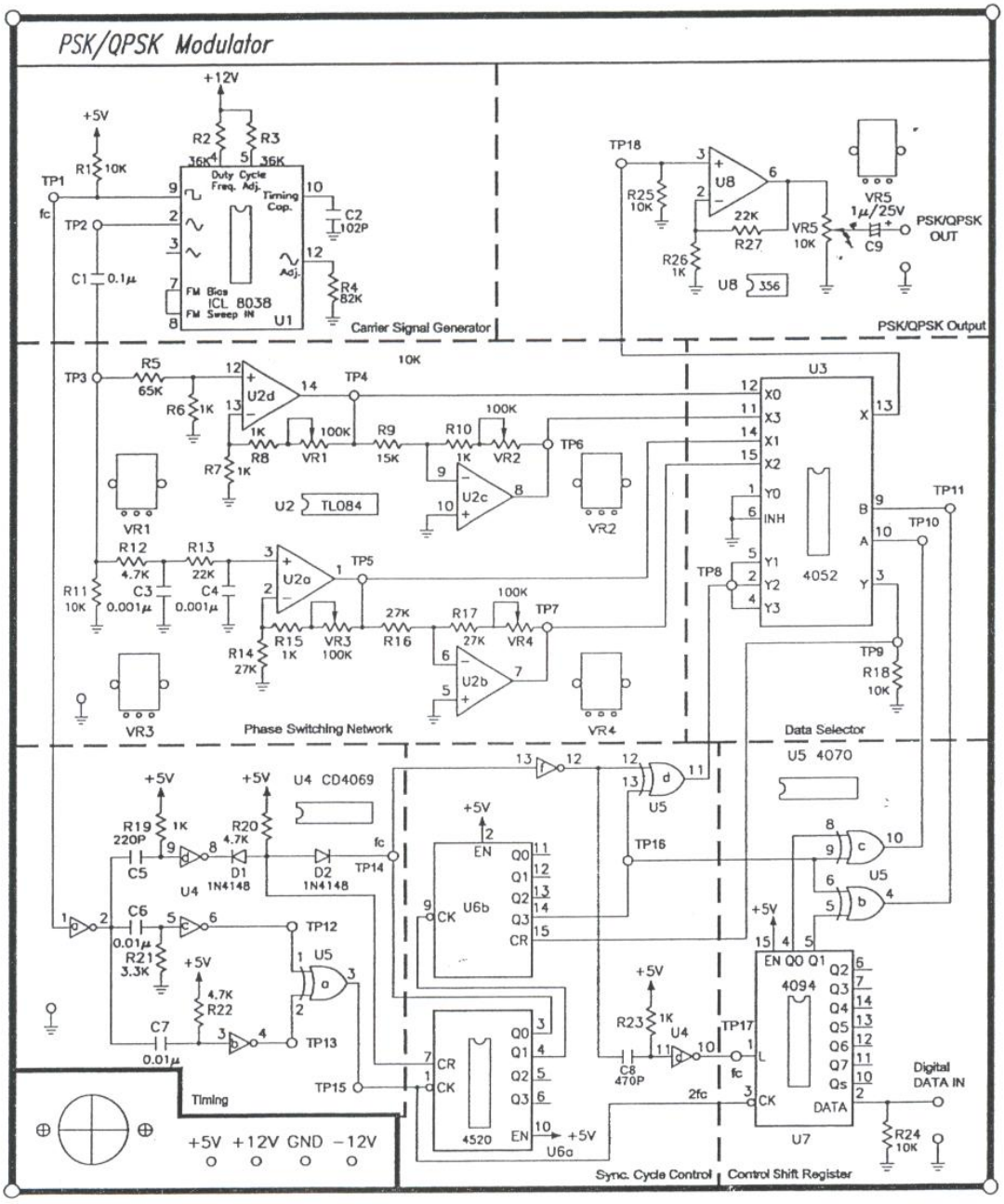
Deskripsi Rangkaian

1. Modulator PSK/QPSK

   Gambar 19-9 menunjukan diagram skematik dari modulator PSK/QPSK. Generator sinyal chip presisi ICL8038 berfungsi sebagai carrier yang menghasilkan sinyal sinusoidal dan sinyal kotak. Frekuensi dari generator carrier ditentukan oleh resistor timing eksternal R2-R3 dan kapasitor C2 dan diperkirakan 7.1KHz. Pins 7 dan 8 dihubungkan untuk mengkarakterisasi generator bekerja dalam mode VCO. Sinyal yang tergenerasi dihubungkan pada input jaringan phase switching yang terdiri dari dua amplifier noninverting (U2a dan U2d) dan dua amplifier inverting (U2b dan U2c). Jaringan phase-shift ini memberikan empat phase-shift 0^o, 90^o, 180^o, dan 270^o pada data input X0, X1, X2, dan X3 pada data selektor (U3), secara berurutan. Output data selektor ditentukan oleh keadaan select input A dan B. Ketika suatu output terpilih, PSK/QPSK sinyal termodulasi diamplifikasi oleh amplifier noninverting U8. Potensiometer VR5 digunakan sebagai kontrol output amplitudo dari sinyal termodulasi PSK/QPSK.

   Sinyal kotak muncul di U1 pin 9 dihubungkan ke input rangkaian timing untuk membangkitkan sinyal dengan frekuensi 2fc dua kali frekuensi carrier oleh frekuensi doubling network yang dikonstruksi oleh U4b, U4c, dan U5a dan komponen kombinasi R21, R22, C6, C7. Sinyal 2fc dihubungkan dengan input clock dari shift register U7 dan 4-bit binary counter U6a. Sinyal pada counter output Q0 dihubungkan ke inverter U4f dab U4d dan U7 pin1 (Load input). Frekuensi sinyal ini adalah fc. Sinyal modulasi (informasi digital) dihubungkan ke DATA input (pin2) dari control shift register U7. Output Q0-Q1 dari shift register adalah XOR dengan sinyal pada TP6, dan kemudian dihubungkan ke input select A dan B dari data selektor.

Counter biner U6a dan U6b digunakan untuk menentukan kapan membangkitkan sync cycle. Frekuensi clock dari counter biner U6a adalah 2fc. Output Q1 dari U6A dihubungkan ke input clock dari U6b, sehingga frekunesi clock adlaah fc/2 dan frekuensi U6b Q3 adalah fc/32. Sync cycle dibangkitkan hanya satu-setengah durasi pada sinyal



2. Demodulator PSK/QPSK

Gambar 19-10 menunjukan diagram skematik dari demodulator PSK/QPSK. Amplifier U1d menerima dan mengamplifikasi sinyal termodulasi PSK/QPSK untuk mengkompensasi losses dan memperbaiki distorsi yang terjadi karena jalur transmisi. Full wave rectifier dikonstruksi oleh op amps U1c-U1b dan dioda D1-D4, membentuk sinyal PSK/QPSK yang diterima ke sinyal positif cycle, yang dihubungkan ke input pada phase detektor pada PLL (U2). Sinyal VCO out (32fc) adalah pulsa clock yang terbagi dalam N-counter. Counter memberikan dua frekuensi 4fc dan 2fc pada output Q2 dan Q3, berturut-turut.

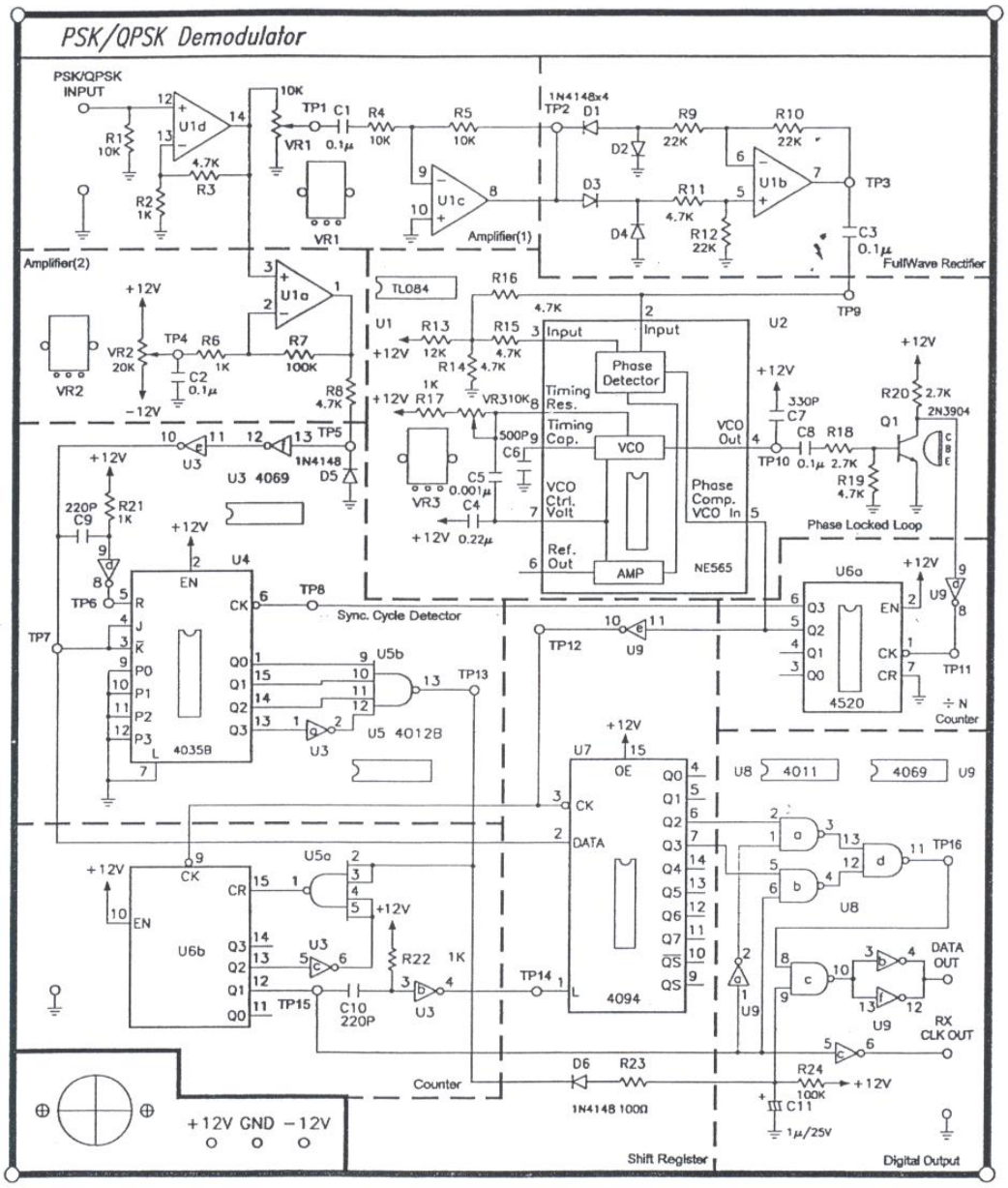
Sinyal PSK/QPSK terampilifikasi pada terminal output U1d dihubungkan pada input amplifier U1a. U1a mengubah sinyal PSK/QPSK ke sinyal pulsa digital seperti pada Gambar 19-7. Sinyal digital pada TP5 di-buffer oleh inverter U3e dan U3f dan kemudian dihubungkan ke input J dan K* pada U4.

Detektor Sync cycle terdiri dari 4 tahap register (U4) dan 4 input gerbang NAND (U5b). Frekuensi clock pada register adalah 2fc. Pulsa reset yang dibangkitkan oleh rangkaian (R21, C9, U3d) digunakan untuk clear output register Q0-Q3. Data digital pada TP5 dihubungkan pada input J dan K*. Ketika sync cycle diterima, output register Q3=Q0=0111, output (TP13) dari 4 input gerbang NAND U5b memunculkan low untuk mengindikasikan bahwa sync cycle terdeteksi. Selama TP13 berharga high, output demodulator tidak ada. Untuk set output Q0-Q3 yang lain, TP13 muncul high.

Data digital pada TP5 juga dikirimkan ke DATA input dari shift register U7. Clock frekuensi U7 dan U6b adalah 4fc, ketika bit rate dari data input digital sama dengan fc atau 2 fc. Frekuensi counter (U6b) output Q1 dan Q2 adalah fc dan fc/2, berurutan. Output Q1 dihubungkan pada

beban input dari register U9 dan ke terminal RX CLK OUT. Counter reset pada saat sync cycle terdeteksi (TP13=0, CR=1) atau Q2 output high (Q2=1, CR=1).

Output data termodulasi pada U7 output Q2-W3 dikontrol oleh logic control (gerbang NAND U8a, b, c, d). Jika tidak ada sync cycle yang terdeteksi (TP13=1), data termodulasi dapat diset ke terminal DATA OUT. Jika sync cycle terdeteksi (TP13=0), data path diblok oleh logic control.



Gambar 19-10 Modul KL-94007

19.3. PERALATAN PRAKTIKUM

1. Kit Modul KL-92001
2. Kit Modul KL-94006 dan KL-94007
3. Osiloskop

19.4. PERCOBAAN DAN PENGAMATAN

Percobaan 19-1 Pengukuran dan Penyesuaian

A. Pengukuran dan Penyesuaian KL-94006

1. Berikan suplai daya yang dibutuhkan tegangan +12V, -12V, dan +5V ke modulator PSK/QPSK module KL-94006 seperti pada Gambar 19-9

2. Menggunakan oscilloscope, ukur dan catat bentuk sinyal dan frekuensi test point TP1, TP2, dan TP3 pada Tabel 19-2

3. Hubungkan scope CH1 IN ke TP3 dan CH2 IN ke TP4. Ukur dan catat bentuk sinyal dan frekuensi pada Tabel 19-3. Set amplitudo sinyal pada TP4 ke 1Vpp dengan menyesuaikan VR1 dan mencatat beda fasa kedua sinyal.

4. Hubungkan scope CH1 IN ke TP3 dan CH2 IN ke TP6. Ukur dan catat bentuk sinyal dan frekuensi pada Tabel 19-3. Set amplitudo sinyal pada TP6 ke 2Vpp dengan menyesuaikan VR2 dan mencatat beda fasa kedua sinyal.

5. Hubungkan scope CH1 IN ke TP3 dan CH2 IN ke TP5. Ukur dan catat bentuk sinyal dan frekuensi pada Tabel 19-3. Set amplitudo sinyal pada TP5 ke 3Vpp dengan menyesuaikan VR3 dan mencatat beda fasa kedua sinyal.

6. Hubungkan scope CH1 IN ke TP3 dan CH2 IN ke TP7. Ukur dan catat bentuk sinyal dan frekuensi pada Tabel 19-3. Set amplitudo sinyal pada TP4 ke 3Vpp dengan menyesuaikan VR4 dan mencatat beda fasa kedua sinyal.

7. Hubungkan 500Hz, TTL-level sinyal kotak ke terminal Digital DATA IN

8. Hubungkan CH1 IN ke PSK/QPSK OUT. Ukur bentuk sinyal dan set output amplitudo ke 10Vpp dengan menyesuaikan VR5 dan catat hasilny adalam Tabel 19-4 (Catatan: Frekuensi tidak dapat diukur pada kasus ini)

9. Matikan daya.

10. Hubungkan PSK/QPSK OUT dari module KL-94006 ke PSK/QPSK INPUT dari module KL-94007

11. Hubungkan suplai daya tegangan yang dibutuhkan ke kedua module KL-94006 dan KL-94007.

B. Pengukuran dan Penyesuaian KL-94007

1. Hubungkan scope CH1 IN ke TP4. Ukur dan set tegangan dc ke -5Vdc dengan menyesuaikan VR2. Untuk mengerjakan hal ini, DVM tambahan merupakan pilihan yang baik.

2. Hubungkan scope CH1 IN ke TP1. Ukur bentuk sinyal dan frekuensi dan set amplitudo ke 5Vpp dengan menyesuaikan VR1. Catat hasilnya pada Tabel 19-5.

3. Hubungkan scope CH1 IN ke TP11. Ukur bentuk sinyal dan frekuensi dan set frekuensi ke 32fc dengan menyesuaikan VR3. Catat hasilnya dalam Tabel 19-6. Jika frekuensi carrier 8KHz, sinyal frekuensi pada TP11 haruslah 256KHz.

4. Hubungkan scope CH1 IN ke DATA OUT. Ukur bentuk sinyal dan frekuensi dalam Tabel 19-7. Bentuk sinyal pada DATA OUT haruslah sinyal digital terdemodulasi, 500Hz. Jika tidak, putar sedikit VR1 atau matikan dan kemudian matikan daya.

5. Hubungkan scope CH1 IN ke terminal RX CLK OUT. Ukur bentuk sinyal dan frekuensi dalam Tabel 19-7. Bentuk sinyal pada RX CLK OUT haruslah sinyal carrier terpulihkan, 500Hz. Jika tidak, putar sedikit VR1 atau matikan dan kemudian matikan daya.

6. Matikan daya

Percobaan 19-2 Modulator PSK/QPSK

A. Pengukuran 2fc (KL-94006)

1. Hubungkan 500 Hz, TTL-level sinyal digital ke Digital DATA IN

2. Hubungkan scope CH1 IN ke TP12 dan CH2 ke TP13. Ukur dan catat bentuk gelombang dan frekuensi dalam Tabel 19-8. Bandingkan beda fasa antara kedua sinyal.

3. Hubungkan Scope CH1 IN ke TP15. Ukur dan catat bentuk gelombang dan frekuensi dalam Tabel 19-8. Frekuensi haruslah dua kali dari frekuensi carrier, 2fc.

B. Pengukuran Sync Cycle

4. Ukur dan catat bentuk gelombang dan frekuensi pada daftar test point dalam Tabel 19-9.

C. Pengukuran Control Shift Register

5. Hubungkan scope CH1 IN ke TP10 dan CH2 ke TP11. Ukur dan catat bentuk gelombang dan frekuensi dalam Tabel 19-10.

6. Ulangi langkah 5 untuk sinyal digital dengan frekuensi 100Hz dan 1KHz ke Digital DATA IN.

7. Temukan frekuensi sinyal digital 500Hz

D. Pengukuran Sinyal PSK/QPSK Termodulasi

8. Hubungkan scope CH1 IN ke PSK/QPSK OUT. Ukur dan catat bentuk gelombang dengan beberapa setting TIME/DIV dalam Tabel 19-11.

Percobaan 19-3 Demodulator PSK/QPSK

A. Pengukuran Detector Sync Cycle (KL-94007)

1. Hubungkan 500 Hz, TTL-level sinyal digital ke Digital DATA IN

2. Set tegangan DC pada TP4 ke harga yang tertulis dalam Tabel 19-12. Menggunakan scope, ukur dan catat bentuk sinyal dan frekuensi pada TP5, TP6, TP7, dan TP13 untuk setiap setting harga dc dalam Tabel 19-12.

3. Set tegangan DC pada TP4 ke -5V.

B. Full Wave Rectifier

4. Hubungkan TTL-level sinyal kotak dengan frekuensi yang terdaftar pada Tabel 19-13 ke terminal Digital DATA IN. Menggunakan scope ukur dan catat bentuk sinyal dan frekuensi pada TP2, TP3, dan TP9 untuk setiap setting harga frekuensi dalam Tabel 19-13.

5. Hubungkan 500Hz, TTL-level sinyal kotak ke terminal Digital DATA IN.

C. Pengukuran 32fc, 4fc, dan 2fc

6. Ukur frekuensi pada TP11 untuk menghasilkan frekuensi sama dengan 32fc dengan mengatur VR3. Ukur dan catat bentuk sinyal dan frekuensi pada TP11, TP8, dan TP12 dalam Tabel 19-14.

D. Pengukuran Shift Register

7. Ukur dan catat bentuk gelombang dan frekuensi pada TP7, TP12, TP14, U7, Q2, dan U7 Q3 dalam Tabel 19-15.

E. Pengukuran Shift Register

8. Ukur dan catat bentuk gelombang dan frekuensi pada DATA OUT dan RX CLK OUT dalam Tabel 19-16.

9. Ulangi langkah 8 untuk frekuensi Digital DATA IN 100Hz dan 1KHz.

Tabel 19-2 Pengukuran dan Penyesuaian (Modul KL-94006)

Test Point	Frekuensi	Bentuk Gelombang
TP!		
TP2		
TP3		

Tabel 19-3 Pengukuran dan Penyesuaian (Modul KL-94006)

Test Point	Frekuensi dan Bentuk Gelombang
TP3	
TP4	
TP5	
TP6	
TP7	

Tabel 19-4 Pengukuran dan Penyesuaian (Modul KL-94006)

Test Point	Bentuk Gelombang
PSK/QPSK OUT	

Tabel 19-5 Pengukuran dan Penyesuaian (Modul KL-94007)

Test Point	Frekuensi dan Bentuk Gelombang
TP1	

Tabel 19-6 Pengukuran dan Penyesuaian (Modul KL-94007)

Test Point	Frekuensi dan Bentuk Gelombang
TP11	

Tabel 19-7 Pengukuran dan Penyesuaian (Modul KL-94007)

Test Point	Frekuensi dan Bentuk Gelombang
DATA OUT	
RX CLK OUT	

Tabel 19-8 Pengukuran 2fc (Modul KL-94006)

Test Point	Frekuensi dan Bentuk Gelombang
TP12 (CH1) TP13 (CH2)	
TP15	

Tabel 19-9 Pengukuran Sync Cycle

Test Point	Frekuensi dan Bentuk Gelombang
TP15	
TP16	
TP8	
TP17	

Tabel 19-10 Pengukuran Shift Register

Data Digital pada Frekuensi	Test Point	
	CH1=TP10	CH2=TP11
500 Hz		
100 Hz		
1 kHz		

Tabel 19-11 Pengukuran Sinyal Termodulasi PSK/QPSK

Scope TIME/DIV	PSK/QPSK OUT
2.5 ms	
1 ms	
500 us	
250 us	
100 us	

Tabel 19-12 Pengukuran Sync Cycle Detektor (Modul KL-94007)

Tegangan DC TP4	Test Points			
	TP5	TP6	TP7	TP13
-5 Vdc				
-3 Vdc				
-1 Vdc				
0 Vdc				
+3 Vdc				

Tabel 19-13 Pengukuran Penyearah Gelombang Penuh (KL-94006)

Data Digital pada Frekuensi	Test Points		
	TP2	TP3	TP9
500 Hz			
100 Hz			
1 kHz			

Tabel 19-14 Pengukuran 32fc, 4fc, dan 2fc

Test Point	Frekuensi dan Bentuk Gelombang
TP11 (32fc)	
TP8 (2fc)	
TP12 (4fc)	

Tabel 19-15 Pengukuran Shift Register

Test Point	Frekuensi dan Bentuk Gelombang
TP12	
TP7	
TP14	
U7 Q2	
U7 Q3	

Tabel 19-16 Pengukuran Output Demodulator

Data Digital pada Frekuensi	Test Point	
	DATA OUT	RX CLK OUT
500 Hz		
100 Hz		
1 kHz		